

Департамент внутренней и кадровой политики Белгородской области
Областное государственное автономное
профессиональное образовательное учреждение
«Белгородский индустриальный колледж»

Рассмотрено
цикловой комиссией
Протокол заседания № 1
от « 31 » августа 2020 г.
Председатель цикловой комиссии
_____ / Чобану Л.А./

МЕТОДИЧЕСКИЕ УКАЗАНИЯ
к выполнению лабораторных работ по дисциплине

ОП.03 Электроника и схемотехника

по специальности
**10.02.04 Обеспечение информационной безопасности
телекоммуникационных систем**

Разработчик:
преподаватель
ОГАПОУ «Белгородский
индустриальный колледж»
Феоктистова В.Н.

Белгород 2020 г.

СОДЕРЖАНИЕ

1. Общие методические указания.....
2. Инструкция по технике безопасности и охране труда.....
3. Лабораторная работа № 1. «Исследование ВАХ биполярного транзистора»
4. Лабораторная работа № 2. «Исследование полевого транзистора».....
5. Лабораторная работа № 3. «Исследование режимов работы усилителя».....
6. Лабораторная работа № 4. «Исследование работы схем на операционном усилителе (ОУ)».....
- 7.. Лабораторная работа № 5 «Исследование работы шифратора и дешифратора».....
8. Лабораторная работа № 6 «Исследование работы мультиплексора, демультимплексора и сумматора».....
9. Лабораторная работа № 7 «Исследование работы интегральных триггеров».....
10. Лабораторная работа № 8 «Исследование работы регистра».....
11. Лабораторная работа № 9 «Исследование работы счетчика».....
12. Лабораторная работа № 10 «Исследование работы запоминающего устройства».....
13. Лабораторная работа № 11 «Исследование модели МПС».....
14. Лабораторная работа № 12 «Отладка и выполнение циклических программ».....
15. Лабораторная работа № 13 «Исследование интерфейса МПС».....

ОБЩИЕ УКАЗАНИЯ

1. Лабораторные работы направлены на экспериментальное подтверждение теоретических положений и формирование учебных и профессиональных практических умений.
2. Перечень лабораторных работ определяется рабочей программой по дисциплине.

3. Объем и содержание лабораторных работ формируют у студентов практические навыки обращения с различными приборами, установками, аппаратурой, а также исследовательские умения (наблюдать, анализировать, устанавливать зависимости, делать выводы, оформлять результаты).

4. Лабораторная работа проводится в специально оборудованной учебной лаборатории. Продолжительность не менее 2-х академических часов.

5. Формы организации студентов на лабораторных работах: фронтальная, групповая, и индивидуальная.

6. По каждой лабораторной работе разработаны и утверждены методические указания по их проведению, в которых указаны: тема, цель работы, оборудование, краткие теоретические сведения, порядок выполнения работы, таблицы, контрольные вопросы.

7. Структура оформления лабораторных работ должна соответствовать порядку выполнения работы

8. За выполнение лабораторных работ выставляется зачет и оценка за ответы на контрольные вопросы.

ИНСТРУКЦИЯ

по охране труда

для проведения лабораторных работ по дисциплине

«Электроника и схемотехника»

1. Общие требования безопасности.

1. К выполнению лабораторных работ допускаются студенты, прошедшие инструктаж по ТБ.

2. Преподаватель и лаборант, которые проводят лабораторную работу, должны иметь квалификационную группу по ТБ не ниже 3.

3. Каждый студент должен знать, что опасным для жизни является напряжение более 36В и ток более 50мА.

4. Запрещается включать источники электропитания без разрешения преподавателя.

5. Розетки, к которым подводится напряжение, отличное от 220В, должны конструктивно отличаться.

6. Все металлические части электроустановок, которые могут оказаться под напряжением, должны быть заземлены.

7. Величина рабочего заземления должна проверяться в соответствии с ГОСТ.

8. В лаборатории должны быть предусмотрены мероприятия по противопожарной безопасности.

2. Требования безопасности перед началом работы.

1. Тщательно ознакомиться с методическими указаниями к лабораторной работе.
2. Проверить наличие напряжения.
3. Проверить наличие заземления, исправность инструментов, проводов, измерительных приборов.

3. Требования безопасности во время работы.

1. Производить сборку электрических цепей, переключения в них, выяснения причин неисправности разрешается только при выключенном источнике питания.
2. Проверять наличие напряжения разрешается только с помощью вольтметра и индикаторов напряжения.
3. Следите за исправностью изоляции проводов, при сборке схемы провода располагайте аккуратно, наконечники плотно соединяйте клеммами.
4. Собранная схема должна быть проверена преподавателем или лаборантом. Включение питания схемы производить только после разрешения преподавателя.
5. Не прикасайтесь к конденсаторам, даже после отключения цепи источника питания. Разряжать конденсаторы необходимо с помощью разрядников.

4. Требования безопасности в аварийных ситуациях.

1. При любой неисправности и при исчезновении питающего напряжения немедленно отключите источник питания и сообщите преподавателю.
2. В случае поражения электрическим током немедленно выключите источник питания, окажите первую помощь пострадавшему и сообщите преподавателю.
3. При несчастном случае необходимо, в первую очередь, освободить пострадавшего от травмирующего фактора, оказать доврачебную помощь и сообщить преподавателю.

5. Требования безопасности по окончании работы.

1. Разборку схемы производить только после разрешения преподавателя и отключения источника питания.
2. Обо всех неполадках сообщить преподавателю.

Лабораторная работа № 1

Тема: «Исследование и снятие ВАХ биполярного транзистора»

Цель работы: Изучение принципа действия биполярного транзистора, снятие ВАХ транзистора.

Краткие теоретические сведения

Управление током и усиление сигналов в схемах полупроводниковой электроники осуществляют с помощью транзисторов. Биполярный транзистор представляет собой кристалл полупроводника, состоящий из трех слоев с чередующейся проводимостью и снабженный тремя выводами (электродами) для подключения к внешней цепи.

На рисунке 1.1 показано схематическое обозначение двух типов транзисторов – n-p-n типа со слоями n, p, n и p-n-p типа со слоями p, n, p. Крайние слои называют эмиттером (э) и коллектором (к), между ними находится база (б). В трехслойной структуре имеются два электронно-дырочных перехода: эмиттерный переход между эмиттером и базой и коллекторный переход между базой и коллектором.

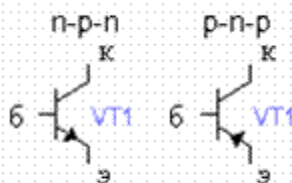


Рисунок 1.1 - УГО биполярного транзистора

Рассмотрим подробно принцип работы n-p-n транзистора. Транзистор p-n-p типа работает аналогично, но на него подают напряжения противоположной полярности.

Способ включения транзистора, приведенный на рисунке 1.2, называют включением по схеме с общим эмиттером (ОЭ) – эмиттер служит общим электродом для входной и выходной цепей транзистора. Существуют еще два способа включения транзисторов: по схеме с общим коллектором (ОК) и по схеме с общей базой (ОБ). Подробнее данные способы включения рассматриваются в лабораторной работе №12.

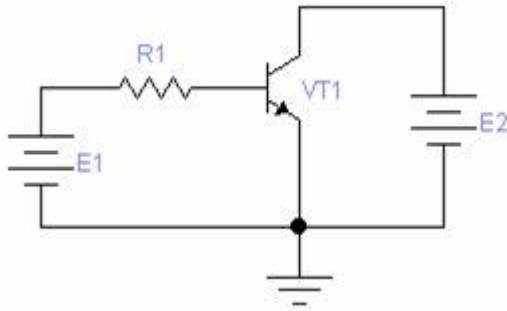


Рисунок 1.2 - К описанию работы биполярного транзистора

Опишем работу схемы на рисунке 1.2. Когда напряжение источника постоянного напряжения $E1$ равно нулю, ток базы отсутствует I_B . В это время эмиттерный и коллекторный переход находятся в состоянии равновесия, токи через них равны нулю. При увеличении напряжения источника $E1$ ток начинает протекать от источника постоянного напряжения $E1$ к базе транзистора, потенциальный барьер эмиттерного перехода, смещенного в прямом направлении, снижается, на коллекторном переходе потенциальный барьер увеличивается. В результате приложения к эмиттерному переходу прямого напряжения начинается усиленная диффузия (инжекция) электронов из эмиттера в базу. Под воздействием сил диффузии в результате перепада концентраций вдоль базы электроны продвигаются от эмиттера к коллектору. Поскольку база в транзисторе выполнена тонкой, основная часть электронов, инжектированная эмиттером, достигает коллекторного перехода, не попадая в центры рекомбинации. Эти электроны захватываются полем коллекторного перехода, смещенного в обратном направлении, так как это поле является ускоряющим для неосновных носителей – электронов в базе р-типа. Ток электронов, попавших из эмиттера в коллектор, замыкается через внешнюю цепь, источник $E2$. Из закона Кирхгофа для токов, следует что

$$I_E = I_K + I_B \quad (1.1)$$

Эта формула обладает незначительной погрешностью, т.к. не учитывает процесс рекомбинации.

Качество и свойства транзисторов характеризуются многими параметрами.

Для расчета и анализа устройств с биполярными транзисторами используют так называемые h -параметры транзистора, включенного по схеме с общим эмиттером.

Одним из самых основных параметров является статический коэффициент передачи тока $h_{21Э}$ характеризующего усиительные свойства транзистора. Численное значение этого параметра показывает, во сколько раз ток коллектора больше вызвавшего его тока базы.

$$h_{21Э} = \frac{\Delta I_K}{\Delta I_B} \text{ при } U_{КЭ} = const \quad (1.2)$$

Чем больше коэффициент $h_{21Э}$, тем большее усиление сигнала может обеспечить данный транзистор.

Параметр $h_{11Э}$ имеет размерность сопротивления, он представляет собой входное сопротивление биполярного транзистора.

$$h_{11Э} = \frac{\Delta U_{БЭ}}{\Delta I_B} \text{ при } U_{КЭ} = const \quad (1.3)$$

Параметр $h_{12Э}$ – безразмерный коэффициент внутренней обратной связи по напряжению.

$$h_{12Э} = \frac{\Delta U_{БЭ}}{\Delta U_{КЭ}} \text{ при } I_B = const \quad (1.4)$$

Этим параметром часто пренебрегают при анализе устройств.

Параметр $h_{22э}$ имеет размерность проводимости и характеризует выходную проводимость транзистора при постоянном токе базы

$$h_{22э} = \frac{\Delta I_K}{\Delta U_{КЭ}} \text{ при } I_B = const \quad (1.5)$$

Транзистор по схеме с ОЭ описывается семействами выходных и входных характеристик.

Выходной или коллекторной ВАХ транзистора называют зависимость коллекторного тока от напряжения между коллектором и эмиттером $I_K = f(U_{КЭ})$, снятая при неизменном токе базы $I_B = const$. Для снятия этой характеристики можно воспользоваться схемой (рисунок 1.2) при поддержании постоянства I_B . Семейство выходных ВАХ транзистора приведено на рисунке 1.3.

На большей части характеристик при $U_{КЭ} \geq U_{КЭн}$ ток коллектора почти не зависит от напряжения (пологий участок характеристик). На этом участке транзистор работает в режиме, когда на эмиттерном переходе действует прямое напряжение, а на коллекторном – обратное. На пологом участке выходных характеристик транзистор может характеризоваться как прибор со свойствами управляемого источника тока, т.е. источника тока I_K , значение которого можно изменять путем изменения тока I_B .

Небольшой наклон пологого участка выходной характеристики обусловлен тем, что при увеличении напряжения увеличивается напряжение на коллекторном переходе и уменьшается ширина базы.

Крутой участок выходных характеристик транзистора характеризуется потерей транзистором свойств усилительного элемента, эта часть характеристики используется при реализации ключевого режима транзистора.

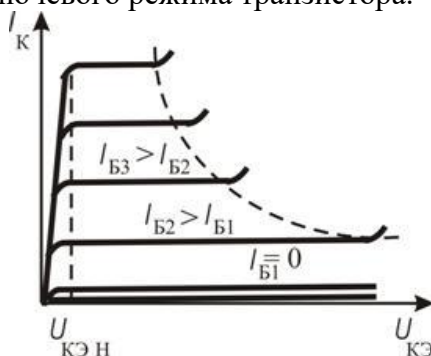


Рисунок 1.3 - Выходные характеристики биполярного транзистора

Резкое увеличение тока I_K в транзисторах при значительных напряжениях $U_{КЭ}$ вызвано лавинным размножением носителей в коллекторном переходе, т.е. возникает электрический пробой. Для предотвращения необратимого пробоя транзистора ограничиваются напряжение на коллекторе и мощность, рассеиваемая на коллекторном переходе.

Входная характеристика транзистора описывает зависимость тока базы от напряжения между базой и эмиттером $I_B = f(U_{БЭ})$ при постоянном напряжении $U_{КЭ}$. При $U_{КЭ} = 0$ оба перехода в транзисторе работают при прямом напряжении, токи коллектора и эмиттера суммируются в базе. Входная характеристика в этом режиме представляет собой ВАХ двух p-n переходов, включенных параллельно (рисунок 1.4)

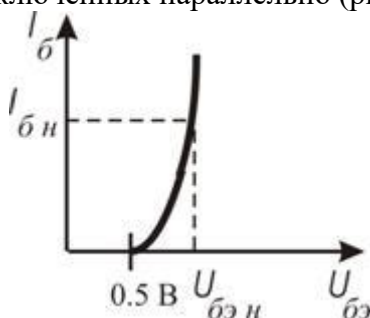


Рисунок 1.4 - Входная характеристика биполярного транзистора

Содержание лабораторной работы

1. Загрузить файл (правая кнопка мыши - пункт "Сохранить объект как...")[LAB6_1.ewb](#). Исследуемая схема изображена на рисунке 1.5.

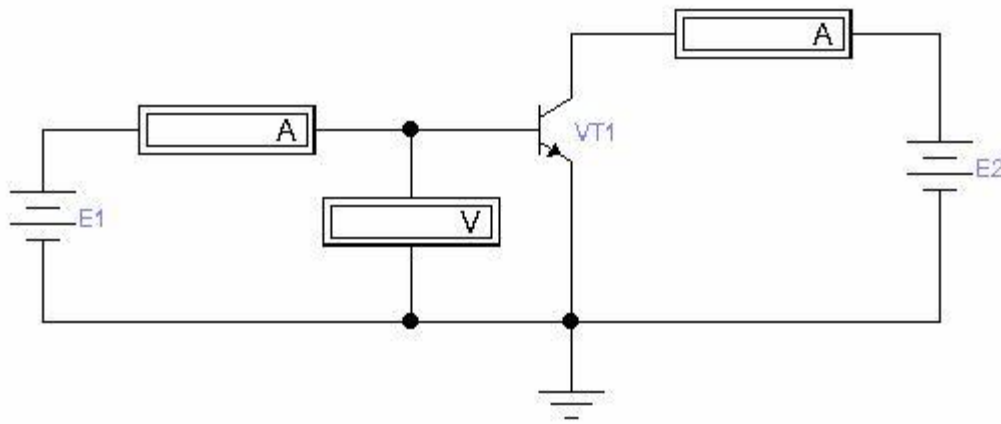


Рисунок 1.5 - Принципиальная схема для исследования биполярного транзистора

Задание 1

а) Снимаются ВАХ перехода база-эмиттер I_B ($U_{БЭ}$) при двух напряжениях коллектор-эмиттер $U_{КЭ} = 0$ и $U_{КЭ} = 5$ В, а затем снимаются выходные ВАХ транзистора при значениях тока базы равных 0,1 мА; 0,5 мА; 1 мА.

При выполнении первого этапа шаг изменения напряжения на переходе база-эмиттер на прямой ветви ВАХ рекомендуется принять 0,1 В, при этом ток базы, соответствующий заданным напряжениям, заносится в таблицу и не должен превышать 1 мА. Шаг изменения параметров выбирается таким образом, чтобы на каждой из ветвей ВАХ было от 6 до 10 точек. По полученным данным строится прямая ветвь ВАХ и определяется напряжение открывания перехода при токе около 10 мкА и направление смещения ВАХ при разных напряжениях коллектор-эмиттер.

Таблица 1.1- Результаты измерения параметров

$E1, В$	0	0.1	0.2	0.3	0.4	0.5	0.6	0.7	0.8	0.9	1.0
$I_B, мА$											
$U_{БЭ}, В$											
$I_K, мА$											
$h_{21Э} = I_K / I_B$											

б) По полученным данным построить графическую зависимость I_B от $U_{БЭ}$ транзистора при постоянном напряжении $U_{КЭ} = 0$ и $U_{КЭ} = 5$ В.

Транзистор выбрать по таблице 6.2, в соответствии с номером варианта.

2. Загрузить файл (правая кнопка мыши - пункт "Сохранить объект как...")[LAB6_2.ewb](#). Исследуемая схема изображена на рисунке 6.6 (получение ВАХ диода с помощью осциллографа).

Таблица 1.2 Данные для выполнения лабораторной работы

№ вар.	Транзистор	№ вар.	Транзистор	№ вар.	Транзистор	№ вар.	Транзистор
1	КТ312В	6	КТ635В	11	КТ841А	16	КТ315В
2	КТ315А	7	КТ653В	12	КТ847А	17	КТ819В
3	КТ316В	8	КТ815Г	13	КТ866А	18	КТ831В
4	КТ608А	9	КТ819А	14	КТ399А	19	КТ315Г
5	КТ630А	10	КТ831А	15	КТ880А	20	КТ315Д

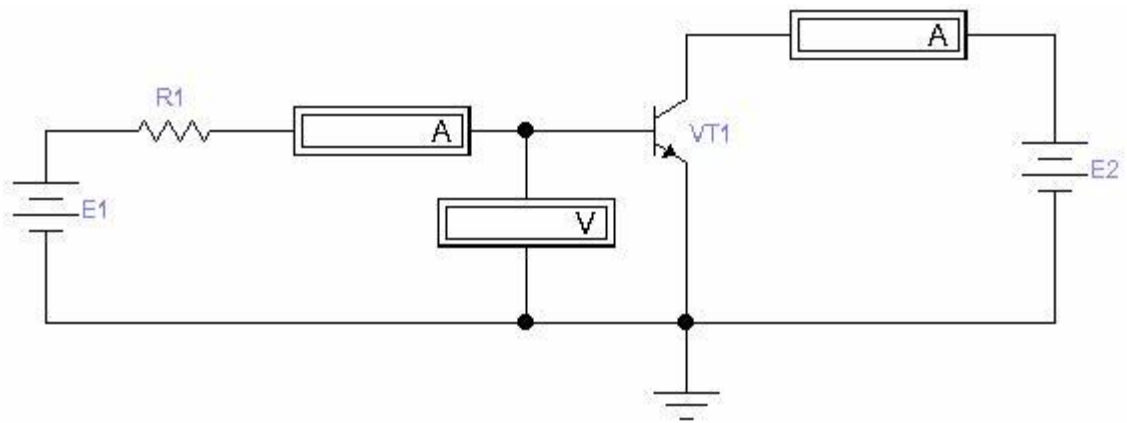


Рисунок 1.6 - Принципиальная схема для исследования биполярного транзистора

Задание 2

а) В цепь базы транзистора вводят токостабилизирующий резистор величиной от 100 кОм до 1МОм, в зависимости от типа транзистора, и напряжением базового источника задают последовательно величину тока базы равную 0,1 мА; 0,5 мА и 1 мА. При каждом фиксированном токе базы снимают зависимость тока коллектора от напряжения коллектор-эмиттер. Рекомендуемый шаг изменения напряжения коллектор-эмиттер 0,2 В, при напряжении менее 1В, и 1В до напряжения 10 В. Полученные данные заносятся в таблицу по которой строится семейство выходных ВАХ транзистора, по которой необходимо определить динамический и статический коэффициенты усиления транзистора по току для напряжения коллектор-эмиттер 0,5 В и 5 В, при токе базы 0,5 мА.

Таблица 1.3 Результаты измерения параметров

E2, В	0	1	2	3	4	5	6	7	8	9	10
I _к , мА											
h _{21э} =I _к /I _б											

$$\Delta I_k = I_{k2} - I_{k1}, \text{ при } U_{кэ} = 10\text{В};$$

$$\Delta I_b = I_{b2} - I_{b1}, \text{ при } U_{кэ} = 10\text{В}.$$

Все полученные данные занести в отчет.

б) По полученным данным построить: зависимость I_к от U_{кэ} транзистора при постоянном токе I_б = 0,1; 0,5; 1,0 мА.

Транзистор выбрать по таблице 6.2, в соответствии с номером варианта. Токоограничивающий резистор R1 по таблице 6.4.

Таблица 6.4 - Данные для выполнения лабораторной работы

№ вар.	Резистор, кОм	№ вар.	Резистор, кОм	№ вар.	Резистор, кОм	№ вар.	Резистор, кОм
1	1	6	6	11	11	16	16
2	2	7	7	12	12	17	17
3	3	8	8	13	13	18	18
4	4	9	9	14	14	19	19
5	5	10	10	15	15	20	20

Контрольные вопросы

1. Как на схемах обозначается биполярный транзистор?
2. Какие способы включения транзистора вам известны?
3. Опишите работу биполярного транзистора?
4. Какие h-параметры вам известны?
5. Какие виды ВАХ биполярного транзистора вам известны?
6. Чем характеризуются крутой и пологий участок выходных характеристик?
7. Транзистор – это электронный прибор, содержащий:
 - А) два p-n перехода;
 - В) три вывода;
 - С) полупроводник p – типа;

- D) полупроводник n – типа;
 - E) анод и катод.
8. Какие параметры транзистора являются основными:
- A) мощность и ток;
 - B) допустимые напряжения на переходах, максимальный ток коллектора, максимальная мощность коллектора, коэффициент усиления по току;
 - C) ток, напряжение, мощность, габаритные размеры, коэффициент усиления по напряжению;
 - D) сопротивление, напряжение стабилизации, обратное напряжение;
 - E) температура, размер корпуса, количество выводов.
9. В биполярном транзисторе наибольшую величину имеет:
- A) ток базы;
 - B) ток анода;
 - C) ток катода;
 - D) ток эмиттера;
 - E) ток коллектора.
10. Биполярный транзистор – это прибор, предназначенный для:
- A) усиления тока;
 - B) для стабилизации напряжения;
 - C) для индикации;
 - D) для нагрева радиатора;
 - E) для воспроизведения звука.

Лабораторная работа № 2

Тема: «Исследование полевого транзистора»

Цель работы: Снятие и анализ входных и выходных характеристик полевого транзистора в схеме с общим эмиттером и определение по ним его h -параметров.

Теоретические сведения

1. Полевые транзисторы

Полевой транзистор — это полупроводниковый прибор, в котором ток стока (C) через полупроводниковый канал n - или p -типа управляется электрическим полем, возникающим при приложении напряжения между затвором (Z) и истоком (I). Полевые транзисторы изготавливают:

- с управляющим затвором типа p - n -перехода для использования в высокочастотных (до 12—18 ГГц) преобразовательных устройствах. Условное их обозначение на схемах приведено на рис. 1а и б;

- с изолированным (слоем диэлектрика) затвором для использования в устройствах, работающих с частотой до 1—2 ГГц. Их изготавливают или со встроенным каналом в виде МДП-структуры (см. их условное обозначение на рис. 1в и г), или с индуцированным каналом в виде МОП-структуры (их условное обозначение на схемах дано на рис. 1д и е).

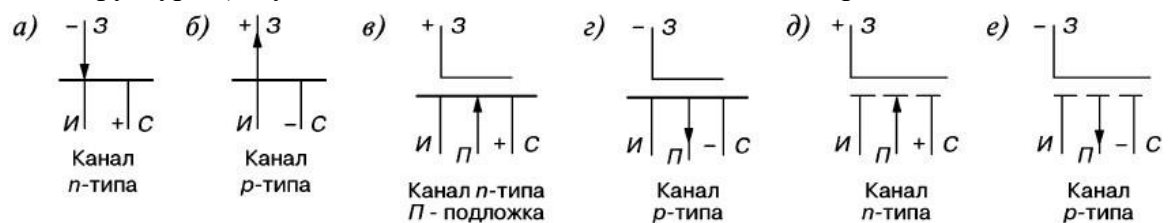


Рис. 1

Схема включения полевого транзистора с затвором типа p - n -перехода и каналом n -типа, его семейство выходных характеристик $I_C = f(U_C)$, $U_Z = \text{const}$ и стокзатворная характеристика $I_C = f(U_Z)$, $U_C = \text{const}$ изображены на рис. 2.

При подключении выходов стока C и истока I к источнику питания U_n по каналу n -типа протекает начальный ток I_C , так как p - n -переход не перекрывает сечение канала (рис. 2а). При этом электрод, из которого в канал входят носители заряда, называют *истоком*, а электрод, через который из канала уходят основные носители заряда, называют *стоком*. Электрод, служащий для регулирования поперечного сечения канала, называют *затвором*. С увеличением

обратного напряжения $-U_3$ уменьшается сечение канала, его сопротивление увеличивается и уменьшается ток стока I_C (см. рис. 2б).

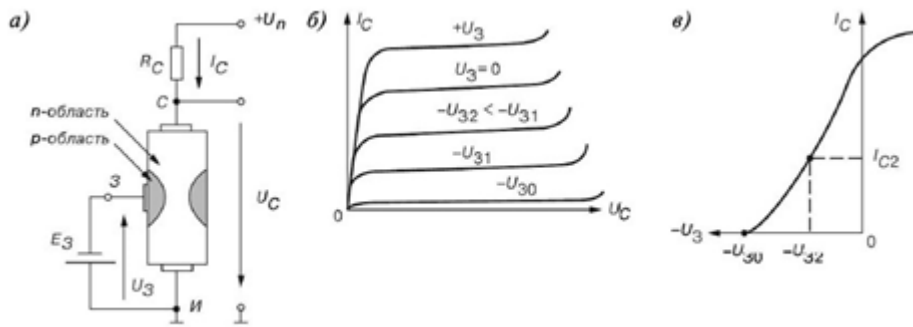


Рис. 2

Итак, управление током стока I_C происходит при подаче обратного напряжения на p - n -переход затвора 3 . В связи с малостью обратных токов в цепи затвор—исток мощность, необходимая для управления током стока, оказывается ничтожно малой.

При напряжении $-U_3 = -U_{30}$, называемом *напряжением отсечки*, сечение канала полностью перекрывается обедненными носителями заряда барьерным слоем, и ток стока I_{C0} (ток отсечки) определяется неосновными носителями заряда p - n -перехода (см. рис. 2б).

Схематичная структура полевого транзистора с индуцированным n -каналом представлена на рис. 3. Электрод затвора изолирован от полупроводникового канала с помощью слоя диэлектрика из двуокиси кремния (SiO_2). Поэтому полевой транзистор с такой структурой называют МОП-транзистором (металл-оксид-полупроводник). Электроды стока и истока располагаются по обе стороны затвора и имеют контакт с полупроводниковым каналом. При напряжении на затворе относительно истока, равном нулю, и при наличии напряжения на стоке ток стока I_C оказывается ничтожно малым.

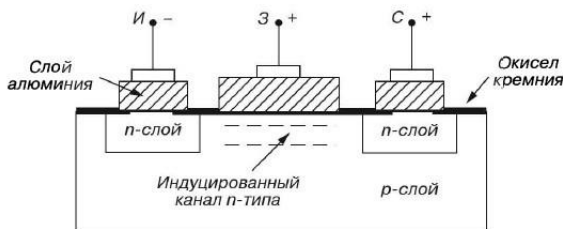


Рис. 3

Заметный ток стока появляется только при подаче на затвор напряжения положительной полярности относительно истока, больше так называемого *порогового напряжения* $U_{3.por}$.

При этом в результате проникновения электрического поля через диэлектрический слой в полупроводник при напряжениях на затворе, больших $U_{3.por}$, у поверхности полупроводника под затвором возникает инверсионный слой, который и является каналом, соединяющим исток со стоком. Толщина и поперечное сечение канала изменяются с изменением напряжения на затворе, соответственно будет изменяться ток стока.

В полевом транзисторе со встроенным каналом при нулевом напряжении на затворе ток стока имеет начальное значение I_{C0} . Такой транзистор может работать как в режиме обогащения, так в режиме обеднения: при увеличении напряжения на затворе канал обогащается носителями зарядов и ток стока растет, а при уменьшении напряжения на затворе канал обедняется и ток стока снижается.

Важнейшей особенностью полевых транзисторов являются высокое входное сопротивление (десятки-сотни мегаом) и малый входной ток. Одним из основных параметров полевых транзисторов является крутизна $S = \Delta I_C / \Delta U_3$ стокзатворной характеристики (см. рис. 2в), выражаемая в мА/В.

Вольтамперные характеристики транзисторов

Входные и выходные вольтамперные характеристики транзисторов обычно снимают на постоянном токе (по точкам) или с помощью специальных приборов — характеристикографов, позволяющих избежать сильного нагрева приборов. Полученные ВАХ используют для расчета цепей смещения и стабилизации режимов работы, расчета конечных состояний ключе-

вых схем (режимов отсечки и насыщения).

Ввиду ничтожно малых токов затвора I_3 полевых транзисторов, включенных по схеме с ОИ, их входные ВАХ, как правило, не снимают.

Как отмечалось, выходные характеристики полевых транзисторов $I_C(U_C)$ при $U_3 = \text{const}$, включенных по схеме с ОИ, определяют зависимость тока стока от напряжения между стоком и истоком при фиксированном напряжении затвора.

Схема с ОИ употребляется наиболее часто. **Основные параметры полевых транзисторов**

Крутизна характеристики:

$$S = \left. \frac{\Delta I_C}{\Delta U_{ЗИ}} \right|_{U_{СИ} = \text{const}}$$

где ΔI_C – приращение тока стока; $\Delta U_{ЗИ}$ – приращение напряжения на затворе.

Крутизна характеризует управляющее действие затвора. Этот параметр определяют по управляющим характеристикам.

Внутреннее (выходное) сопротивление R_i :

$$R_i = \left. \frac{\Delta U_{СИ}}{\Delta I_C} \right|_{U_{ЗИ} = \text{const}}$$

где $\Delta U_{СИ}$ – приращение напряжения стока; ΔI_C – приращение тока стока.

Этот параметр представляет собой сопротивление транзистора между стоком и истоком (сопротивление канала) для переменного тока. Определяется на пологих участках выходных характеристик.

Коэффициент усиления μ :

$$\mu = - \left. \frac{\Delta U_{СИ}}{\Delta U_{ЗИ}} \right|_{I_C = \text{const}}$$

Коэффициент усиления показывает, во сколько раз сильнее действует на ток стока изменение напряжения затвора, нежели изменение напряжения стока, т. е. выражается отношением таких изменений $\Delta U_{СИ}$ и $\Delta U_{ЗИ}$, которые компенсируют друг друга в результате чего ток остается постоянным. Для подобной компенсации $\Delta U_{СИ}$ и $\Delta U_{ЗИ}$ должны иметь разные знаки, что определяет наличие знака «-» в правой части выражения (4.5).

Определяется по передаточной (стоко-затворной) характеристике полевого транзистора

Эти три параметра (μ , S , R_i) связаны между собой зависимостью:

$$\mu = SR_i$$

Входное сопротивление $R_{вх}$:

$$R_{вх} = \left. \frac{\Delta U_{ЗИ}}{\Delta I_3} \right|_{U_{СИ} = \text{const}}$$

где $\Delta U_{ЗИ}$ – приращение напряжения на затворе; ΔI_3 – приращение тока стока;

Поскольку током затвора является обратный ток p - n -перехода, который очень мал, то входное сопротивление оказывается очень большим, что является основным достоинством полевого транзистора.

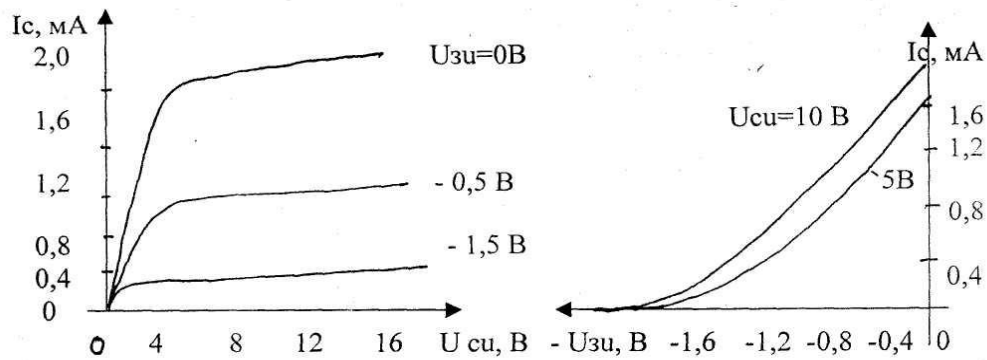


Рис. 2

Выходной (стоковой) характеристикой полевого транзистора называется графически выраженная зависимость $I_c = f(U_{cs})$ при $U_{gs} = \text{const}$. Передаточной (стоко-затворной) характеристикой полевого транзистора называется графически выраженная зависимость $I_c = f(U_{gs})$ при $U_{cs} = \text{const}$. Примеры этих характеристик представлены на рис.2.

Порядок выполнения работы.

1. Снять стоко-затворную характеристику ПТ. $I_c = F(U_z)$ при $U_c = \text{const}$.
2. Снять стоковую характеристику ПТ $I_c = F(U_c)$ при $U_z = \text{const}$.
3. Построить стоко-затворную и стоковую характеристики на миллиметровой бумаге.
4. Определить в выбранных точках на характеристиках S, R_i, μ
5. Определить на стоко-затворной характеристике напряжение отсечки.
6. Данные значения параметров сравнить со справочными данными.

Методические указания

При выполнении работы следует руководствоваться настоящими рекомендациями и выполнять работу в следующем порядке.

- 7.1. Запустить программу «Multisim».
- 7.2. Открыть файл с именем «Лабораторная работа №6».
- 7.3. Включить схему. Меняя значение процентного шага элементом R2, в соответствии с таблицей №1, провести измерения I_c и U_{zi} . Данные занести в таблицу 1

Таблица №1

Шаг (%) R2	U _{зи} (В)	I _с (мА)	
		при U _{си} =5В	при U _{си} =15В
0			
1			
5			
10			
20			
30			
40			
50			
60			
70			
80			

7.4. Провести снятие выходных характеристик транзистора (схема исследования на рис 3). Меняя значение процентного шага элементом R2, установить $U_{zi} = 0В$ и изменяя процентный шаг элементом R3, (минимальное дискретное значение шага потенциометра можно установить, вызвав меню потенциометра) в соответствии с таблицей №2, произвести измерения I_c , также фиксируя при этом значения U_{ci} . Произвести аналогичные измерения при $I_c = 0,2; 0,4; 0,6; 0,8(В)$. Полученные результаты занести в таблицу.

Таблица №2

Тран-зис-тор	2N2608	2N2609	2N4381	2N5018	2N5019	2N5020	2N5021	2N5114	2N5115	2N5116
--------------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------

Таблица 4

Наименование параметра	Обозначение и значение параметра в EWB	Обозначение и значение параметра в Lr3
Обратный ток коллекторного перехода	$I_S = 0,2046 \text{ pA}$	$I_{K0} = 0,2046 \text{ пА}$
Идеальный максимальный коэффициент усиления ток в схеме с ОЭ	$BF = 296,5$	$H_{21Э} = \beta = 296,5$
Напряжение, близкое к максимальному напряжению коллектора	$VAF = 10V$	$U_{К.маx} = 10 \text{ В}$
Обратный ток эмиттерного перехода	$I_{SE} = 0,1451 \text{ pA}$	$I_{Э0} = 0,1451 \text{ пА}$
Максимальный ток коллектора	$I_{KF} = 77,25 \text{ mA}$	$I_{К.маx} = 77,25$
Объёмное сопротивление базы	$R_B = 4 \text{ }\square$	$R_B = 4 \text{ Ом}$
Объёмное сопротивление эмиттера	$R_E = 85,73 \text{ m}\square$	$R_{Э} = 85,73 \text{ мОм}$
Объёмное сопротивление коллектора	$R_C = 0,4286 \text{ }\square$	$R_{К} = 0,4283 \text{ Ом}$
Контактная разность потенциалов перехода база-эмиттер	$V_{JE} = 0,95 \text{ V}$	$E_{БЭ} = 0,95 \text{ В}$
Контактная разность потенциалов перехода база-коллектор	$V_{JC} = 0,4 \text{ V}$	$E_{БК} = 0,4 \text{ В}$
Емкость эмиттерного перехода при нулевом напряжении	$C_{JE} = 11 \text{ pF}$	$C_{Э} = 11 \text{ пФ}$
Емкость коллекторного перехода при нулевом напряжении	$C_{JC} = 32 \text{ pF}$	$C_{К} = 32 \text{ пФ}$
Время переноса заряда через базу	$T_F = 0,3 \text{ nsec}$	$F_{Пер} = 0,3 \text{ нс}$

Лабораторная работа № 3

Тема: «Исследование режимов работы усилителя»

Цель работы: Изучение принципа работы и исследование характеристик усилительных каскадов напряжения на биполярных и полевых транзисторах, включенных по схеме с общим эмиттером (стоком) и общим коллектором.

Теоретические сведения

Электронный усилитель – устройство, увеличивающее мощность (напряжение, ток) входного сигнала за счет энергии внешнего источника питания посредством усилительных элементов (полупроводниковых приборов, электронных ламп и др.).

На рис. 24.1, а представлена структурная схема включения усилителя в цепь усиления электрического сигнала, где 1 – источник входного сигнала; 2 – усилитель; 3 – источник энергии; 4 – нагрузка. В качестве источников питания усилителя используют стабильные источники энергии постоянного тока. Источник входного сигнала (датчик) формирует изменяющееся во времени напряжение $u_{вх}$ (ток $i_{вх}$) различной амплитуды, частоты и формы. Нагрузка усилителя – устройство, которое можно представить в виде линейного пассивного двухполюсника. Сам усилитель с парой входных и парой выходных зажимов иногда представляют в виде нелинейного четырехполюсника вследствие нелинейности характеристик входящих в него элементов.

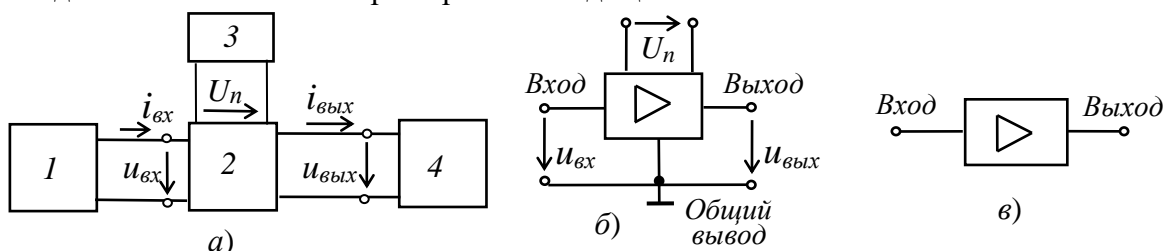


Рис. 24.1

Условное обозначение усилителей на схемах изображено на рис. 24.1, б. Напряжение входа $u_{вх}$ и напряжение выхода $u_{ввх}$ измеряют относительно общего вывода. При упрощенном изоб-

ражении усилителя в виде прямоугольника, на нем изображают только вход и выход (рис. 24.1, в), опуская выводы напряжения питания U_n и общий вывод.

Важнейшим параметром усилителя является коэффициент усиления по мощности, равный отношению изменения мощности выходного сигнала к изменению мощности входного сигнала, т. е. $K_p = \Delta P_{вых} / \Delta P_{вх}$. Помимо коэффициента усиления по мощности вводят также коэффициент усиления по напряжению $K_u = \Delta U_{вых} / \Delta U_{вх}$ и коэффициент усиления по току $K_i = \Delta I_{вых} / \Delta I_{вх}$. Тогда коэффициент $K_p = K_u K_i$.

Важнейшими характеристиками усилителя являются амплитудная и частотные. *Амплитудная характеристика* (рис. 24.2, а) – это зависимость амплитуды (или действующего значения) выходного напряжения от амплитуды (или действующего значения) входного синусоидального напряжения, т. е. $U_{вых} = f(U_{вх})$, где $u_{вх} = U_m \sin \omega t$, $U_m = var$; $\omega = const$.

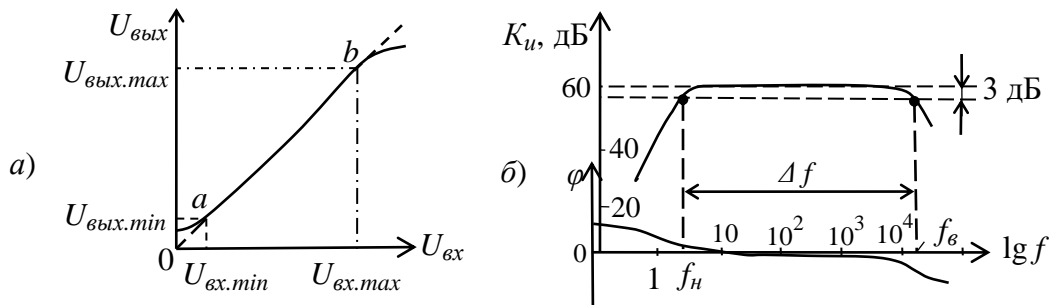


Рис. 24.2

Пунктиром показана амплитудная характеристика идеального усилителя. Отклонение реальной характеристики от идеальной объясняется наличием шумов и нелинейностями характеристик усилительных элементов при слабых и больших входных сигналах.

Динамическим диапазоном усилителя в децибелах называют отношение максимального значения входного напряжения к минимальному на линейном участке ab амплитудной характеристики (см. рис. 24.2, а):

$$D = 20 \lg \frac{U_{вх.max}}{U_{вх.min}}$$

Коэффициент усиления по напряжению на этом участке

$$K_u = \frac{U_{вых.max} - U_{вых.min}}{U_{вх.max} - U_{вх.min}} = \frac{\Delta U_{вых}}{\Delta U_{вх}}$$

Амплитудно-частотная характеристика (АЧХ) усилителя – это зависимость коэффициента усиления, например, по напряжению K_u от частоты f входного сигнала, т. е. $K_u(f)$ при $u_{вх} = U_m \sin \omega t$, $U_m = const$; $\omega = var$.

Обычно АЧХ строят на двойной логарифмической сетке: по оси ординат откладывают значения K_u в децибелах, а по оси абсцисс – частоты в логарифмическом масштабе, однако около делений записывают значения частот без логарифма (рис. 24.2, б).

Полоса пропускания усилителя определяет диапазон частот Δf (или $\Delta \omega$), в пределах которого коэффициент усиления K_u (на средней частоте) не снижается ниже $1/\sqrt{2} \approx 0,707$ (3 дБ) своего уровня, т. е. $\Delta f = f_v - f_n$, где f_v и f_n – верхняя и нижняя частоты среза АЧХ усилителя.

Фазочастотная характеристика $\varphi(f)$ – это зависимость угла сдвига фаз φ между выходным и входным напряжениями усилителя от частоты (см. рис. 24.2, б). Фазовые искажения в усилителе отсутствуют, когда фазовый сдвиг φ линейно зависит от частоты.

Входное и выходное сопротивления усилителя:

$$\underline{Z}_{вх} = \underline{U}_{вх} / \underline{I}_{вх} = R_{вх} + jX_{вх}; \quad \underline{Z}_{вых} = \underline{U}_{вых} / \underline{I}_{вых} = R_{вых} + jX_{вых}$$

При сопротивлении нагрузки R_n выходная мощность $P_{вых} = R_n I_{вых}^2$.

Усилители на биполярных транзисторах

Одним из наиболее распространённых усилителей на биполярных транзисторах является усилитель с *общим эмиттером* (ОЭ). В этом усилителе эмиттер является общим электродом для входной и выходной цепей (рис. 24.3, а). Входное напряжение $u_{вх}$ от источника сигнала E_c с

внутренним сопротивлением R_c подаётся на усиливаемый каскад на биполярном транзисторе VT через конденсатор связи C_1 , предотвращающий прохождение постоянной составляющей тока от источника сигнала. Усиленное выходное напряжение подаётся на нагрузку R_n через разделительный конденсатор C_2 , т. е. подаётся только переменная составляющая напряжения $u_{вых}$.

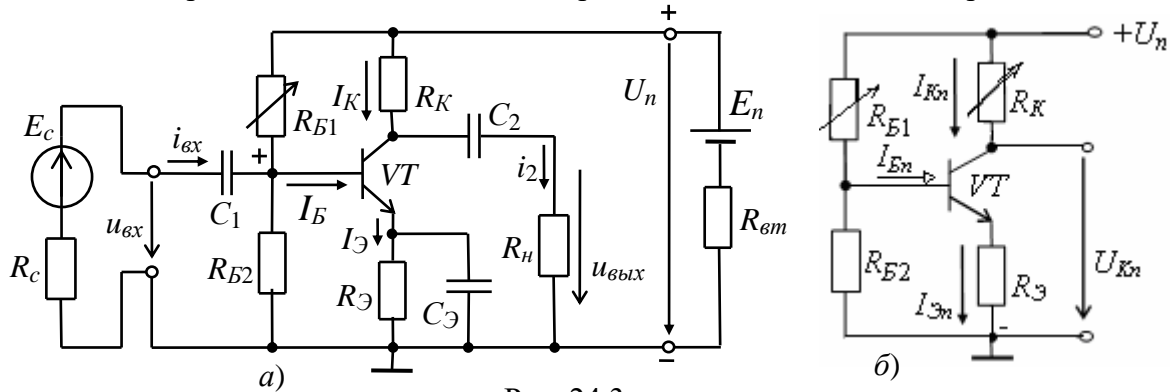


Рис. 24.3

В усилителе, кроме источника переменного сигнала, действует источник напряжения с ЭДС E_n (обычно напряжение $U_n = 10 \dots 30$ В) с внутренним сопротивлением $R_{вн}$. Сопротивление резистора R_K выбирают, исходя из требований усиления входных сигналов и ограничения тока коллектора I_K транзистора VT . Обычно сопротивление R_K составляет $0,2 \dots 5$ кОм для транзисторов малой мощности и порядка 100 Ом для транзисторов средней мощности. Резисторы R_{B1} и R_{B2} делителя напряжения питания U_n предназначены для установки тока базы I_B транзистора (по постоянному току), соответственно рабочей точки (точки покоя) на линии нагрузки.

С помощью резистора $R_Э$ создаётся обратная отрицательная связь усилителя по постоянному току, обеспечивающая температурную стабилизацию его режима усиления. Так, при увеличении температуры возрастают постоянные составляющие токов коллектора I_K и эмиттера $I_Э$ и падение напряжения $R_Э I_Э$. В результате, напряжение $U_{BЭ}$ уменьшается, что вызывает уменьшение тока базы I_B , и, следовательно, тока I_K , стабилизируя его.

Конденсатор $C_Э$ большой ёмкости (десятки микрофарад) шунтирует сопротивление резистора $R_Э$ по переменному току, что исключает ослабление усиливаемого сигнала по переменному току цепью обратной связи.

Для удобства анализа работы усилителя отдельно рассматривают его схемы замещения по постоянному (рис. 24.3, б) и переменному току (рис. 24.5). В режиме работы усилителя по *постоянному току* для получения наименьших нелинейных искажений усиливаемого сигнала рабочую точку a (рис. 24.4) выбирают посередине рабочего участка bc линии нагрузки по постоянному току, описываемой уравнением

$$I_{Kn} = (U_n - U_{Kn}) / R_K, \text{ где } U_{Kn} = U_{KЭ} + R_Э I_{Эn}.$$

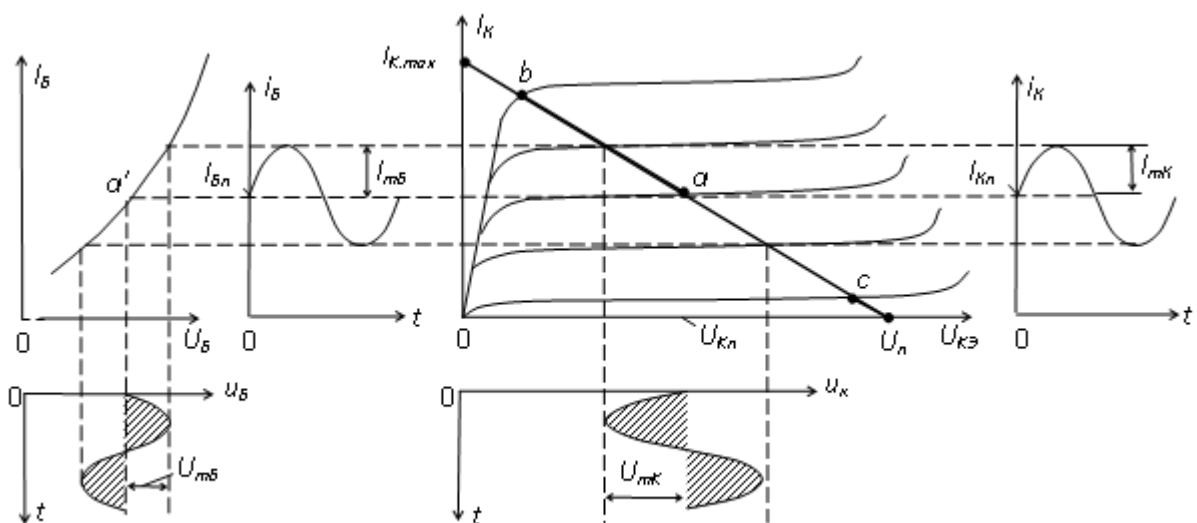


Рис. 24.4

Линию нагрузки строят следующим образом. Из приведенного уравнения следует, что при $I_{Kn} = 0$, $U_{Kn} = U_n$, а при $U_{Kn} = 0$, $I_{Kmax} = U_n / R_K$.

Через две найденные точки проводят прямую (нагрузочную) линию. Задав ток базы в режиме покоя $I_{Bн}$, находят на пересечении линии нагрузки по постоянному току с выходной характеристикой транзистора при $I_B = I_{Bн}$ точку покоя $a(U_{Kн}, I_{Kн})$.

Сопротивление резистора R_{B1} рассчитывают по формуле

$$R_{B1} \approx \frac{U_n - U_{BЭн} - R_{Эн}I_{Эн}}{I_{Bн}} \approx 4R_{B2} \approx h_{21}R_K.$$

При этом $U_{Bн} \approx 0,3$ В для германиевых и $U_{Bн} \approx 0,65$ В для кремниевых транзисторов.

Приближенно токи покоя коллектора и эмиттера в рабочей точке a рассчитывают по формулам:

$$I_{Kн} \approx 0,5I_{Kmax} = U_n / 2R_K; I_{Эн} = I_{Kн} + I_{Bн} \approx I_{Bн}(1 + \beta).$$

$$\text{Напряжение покоя эмиттера } U_{Эн} \approx U_n / 2 - U_{КЭн} \approx (0,1 \dots 0,2)U_n.$$

Сопротивления $R_{Э} = U_{Эн} / I_{Эн}$; $R_K \approx U_n / (2I_{Kн})$, а ёмкость $C_{Э} \approx 10 / (2\pi f R_{Э})$, где f – частота входного напряжения $u_{вх}$.

В режиме работы усилителя по *переменному току* принимают

$$u_{Э} = (1 / \omega_c C) i_{Э} \approx 0 \quad (X_C \leq 0,1R_{Э}),$$

пренебрегают также внутренним сопротивлением $R_{эм}$ и ёмкостью C_n источника питания, т. е. источник питания в схеме замещения замыкают накоротко (рис. 24.5, а).

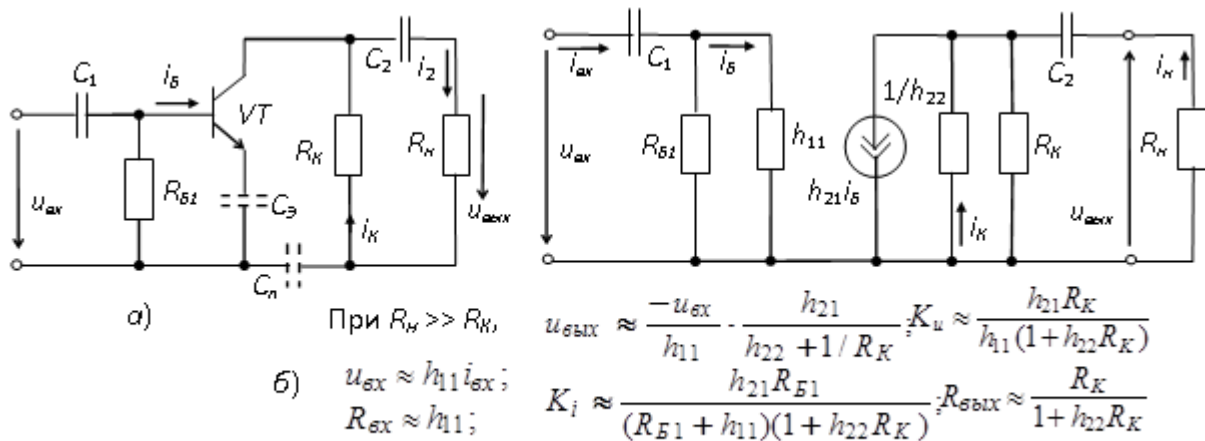


Рис. 24.5

При подаче на вход усилителя *переменного напряжения* $u_{вх}$ происходит изменение тока базы i_B , тока коллектора i_K и напряжения на коллекторе $u_K = U_n - R_K i_K$ (см. рис. 24.4). Амплитуда переменного коллекторного тока $I_{мК}$ примерно в h_{21} раз больше амплитуды тока базы $I_{мБ}$, а амплитуда коллекторного напряжения $U_{мК}$ во много раз больше амплитуды входного напряжения. Таким образом, в схеме усилителя с ОЭ усиливается ток и напряжение входного сигнала.

Пользуясь графиками, изображенными на рис. 24.4, нетрудно определить входное сопротивление и коэффициенты усиления каскада:

$$R_{вх} = \frac{U_{мБ}}{I_{мБ}}; K_i = \frac{I_{мК}}{I_{мБ}}; K_u = \frac{U_{мК}}{U_{мБ}}; K_p = K_i K_u.$$

При этом положительному полупериоду входного напряжения $u_{вх}$ соответствует отрицательный полупериод выходного напряжения $u_K \approx u_{вых}$. Иначе говоря, между входным и выходным напряжениями существует сдвиг фаз, равный 180° , т. е. схема усилителя с ОЭ является инвертирующим устройством, усиливающим и изменяющим фазу входного напряжения на 180° .

Обычно рассмотренный тип усилительного каскада работает в режиме усиления слабых сигналов (постоянные составляющие тока базы и коллектора существенно превосходят аналогичные переменные составляющие). Эти особенности позволяют использовать аналитические методы расчета параметров усилительного каскада на низких частотах по известным h -параметрам транзистора (рис. 24.5, б), полагая, что транзистор работает в линейном режиме. При этом сигнал, поданный на вход усилителя, практически не искажается (по форме) на его выходе.

Наличие в усилителе ёмкостей C_1 и C_2 (см. рис. 24.3, а) приводит к частотным искажениям усиливаемых сигналов в области нижних частот: с уменьшением частоты входного сигнала увеличивается сопротивление конденсатора $X_{C1} = 1/\omega C_1$, падение напряжения u_{C1} на нем, следовательно, снижается входное $u_{вх}$ и выходное $u_{вых}$ напряжения. Это приводит к уменьшению коэффициента усиления K_u с уменьшением частоты (см. рис. 24.2, б), а наличие в усилителе междуэлектродных ёмкостей транзистора и монтажных ёмкостей приводит к возникновению частотных искажений усиливаемых сигналов в области высоких частот. С учётом ёмкости C_K коллекторного p - n -перехода, условно включаемой между коллектором и базой, входное сопротивление каскада в области верхних частот

$$Z_{вх} = \frac{U_{вх}}{I_{вх}} = \frac{R_{B1} \cdot h_{11}}{R_{B1} + h_{11}(1 + j\omega C_K R_{B1})}$$

Входное сопротивление усилительного каскада на биполярном транзисторе с ОЭ обычно имеет значение порядка нескольких сотен ом. Выходное сопротивление обычно на порядок больше входного. При подключении к усилителю высокоомного источника сигнала ($R_c \gg R_{вх}$) и низкоомной нагрузки ($R_n \leq R_K$) расчёт основных параметров усилителя проводят по следующим формулам:

$$u_{вх} = e_c \frac{R_{вх}}{R_c + R_{вх}} \approx \frac{e_c h_{11}}{R_c + h_{11}}; u_{вых} = \frac{-u_{вх} h_{21} R_K R_n}{h_{11}(R_n + R_K + h_{22} R_K R_n)};$$

$$K_u \approx \frac{h_{21} R_K R_n}{h_{11}(R_K + R_n)}; K_i = \frac{h_{21} R_K}{R_K + R_n + R_K R_n h_{22}}$$

Реальный коэффициент усиления по напряжению K_u всегда меньше коэффициента усиления ненагруженного усилителя ($R_n \gg R_K$). Это различие тем заметнее, чем больше выходное сопротивление усилителя и меньше сопротивление нагрузки R_n . На практике реальный коэффициент усиления каскада K_u может достигать нескольких сотен, а коэффициент усиления по мощности $K_p = K_u K_i$ в схеме с ОЭ – нескольких тысяч.

Задание 1 Запустить лабораторный комплекс Labworks и среду MS10 (щёлкнув мышью на команде Эксперимент меню комплекса Labworks). Открыть файл 24.8.ms10, размещённый в папке Circuit Design Suite 10.0 среды MS10, или собрать на рабочем поле среды MS10 схему для испытания усилительного каскада на биполярном транзисторе с ОЭ (рис. 24.8), ознакомиться с методикой расчёта параметров элементов схемы и установить их в диалоговых окнах компонентов.

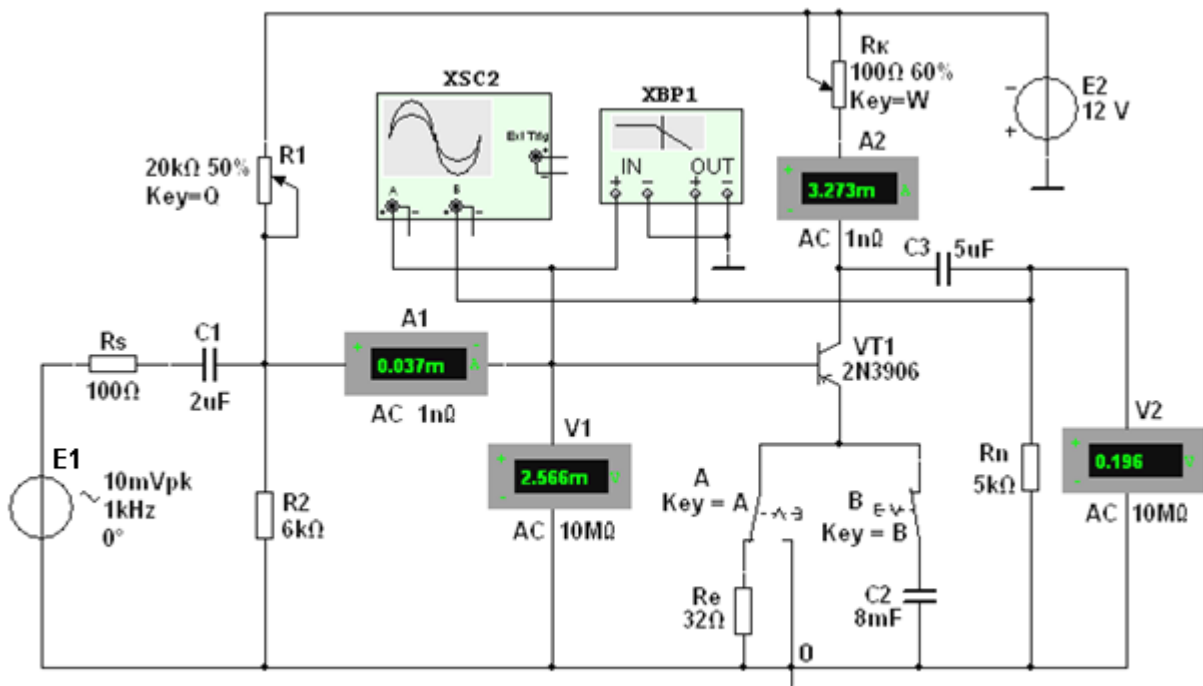


Рис. 24.8

1.3. Используя графики амплитудных характеристик, **определить** динамический диапазон D усилителя (см. рис. 24.2, *a*) и коэффициенты усиления по напряжению K_u при сопротивлениях $R_s = 0$, $R_n = 1$ МОм и при $R_s = 100$ Ом, $R_n = 1$ кОм.

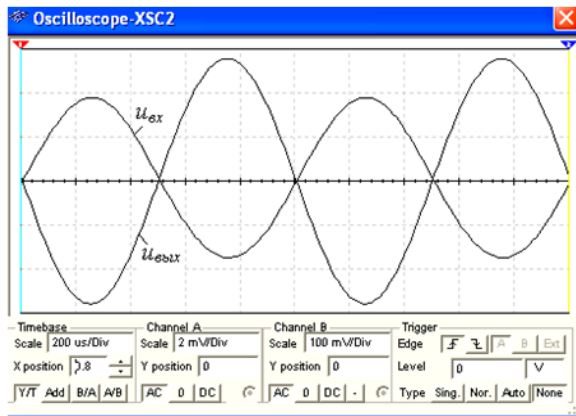


Рис. 24.9

1.4. Снять с помощью плоттера **XBP1** амплитудно-частотные и фазочастотные характеристики усилителя по напряжению при $u_{вх} = 10$ мВ, $R_s = 100$ Ом и $R_n = 1$ кОм и **определить** полосы пропускания Δf усилителя без эмиттерной ООС и с ООС.

Скопировать экраны плоттера на страницу отчёта по работе.

В качестве примера, на рис. 24.10 приведены АЧХ $K_u(\lg f)$ и ФЧХ $\Psi_u(\lg f)$ усилителя без ООС (*a* и *в*) и с ООС (*б* и *г*) при заданных на рис. 24.8 параметрах элементов схемы. Анализ АЧХ показывает, что коэффициент $K_u = 90,6$ для усилителя без ООС при частоте $f = 100$ кГц больше $K_u = 76$ усилителя с ООС, а верхняя частота $f_в$ полосы пропускания усилителя с ООС больше частоты $f_в$ усилителя без ООС. Полосы пропускания Δf определены по координатам точек пересечения горизонтальных пунктирных линий (см. рис. 24.10, *a* и *б*), проведенных на уровнях $90,6/\sqrt{2} \approx 64$ и $76,64/\sqrt{2} \approx 54,2$ соответственно.

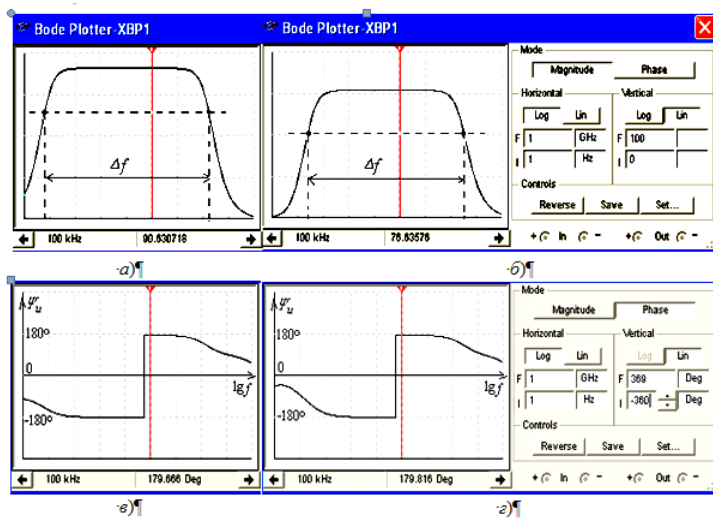


Рис. 24.10

Скачки на графиках ФЧХ соответствуют точкам перехода от опережения выходным сигналом по фазе входного сигнала к его отставанию по фазе от входного сигнала. Границы моделирования АЧХ (**Magnitude**) и ФЧХ (**Phase**) усилителя по частоте (нижней (**I**) $f_n = 1$ Гц и верхней (**F**) $f_в = 1$ ГГц), по коэффициенту усиления $K_u = 0 \dots 100$, по углу сдвига фаз от -360° до $+360^\circ$ и тип шкал (линейная (**Lin**) или логарифмическая (**Log**)) задаются в окне плоттера (см. рис. 24.10, справа).

Контрольные вопросы.

1. Как установить режимы работы каскада по постоянному и переменному токам, чтобы нелинейные искажения выходного сигнала были минимальны?
2. Каким образом определить напряжение на базе транзистора при заданном положении точки покоя?
3. С учетом каких условий задаются постоянные потенциалы на коллекторе и эмиттере транзистора в режиме покоя?

4. Обоснуйте справедливость схемы замещения каскада ОЭ по переменному току.
5. Благодаря каким свойствам транзистора обеспечивается усиление сигнала по току и напряжению?
6. Каково назначение разделительных конденсаторов в схеме усилителя?
7. Почему на нижней частоте диапазона f_H наименьшее усиление каскада по току и напряжению?
8. Какими причинами обусловлен спад АЧХ в верхнем диапазоне частот?
9. Почему на средних частотах диапазона коэффициенты передачи усилителя по току и напряжению остаются практически неизменными?

Лабораторная работа № 4

Тема: «Исследование работы схем на операционном усилителе (ОУ)»

Цель работы: Изучение принципа работы операционных усилителей и исследование характеристик устройств на их основе

Теоретические сведения

1. Назначение и условное обозначение оу

Операционный усилитель (ОУ) — это малогабаритный (в интегральном исполнении отечественных серий К140, К544, К553, КР1040УД, КР1435 и др. и импортных серий AD8041, ОР275, LM339 и др.) многокаскадный усилитель постоянного тока с непосредственными связями между каскадами и большим коэффициентом усиления.

Операционные усилители предназначены как для усиления электрических сигналов, так и для осуществления различных операций над сигналами: сложения, вычитания, интегрирования, логарифмирования и др. Кроме этого, операционные усилители часто используют при конструировании компараторов, генераторов гармонических колебаний и сигналов различной формы, избирательных усилителей и других устройств. Подобные усилители имеют симметричный дифференциальный высокоомный вход, высокий коэффициент усиления, низкоомный (сравнительно мощный) выход и сконструированы таким образом, что к ним могут быть подключены различные корректирующие цепи и цепи обратной связи.

Функциональная схема типового ОУ представлена на рис. 1а, а его условное обозначение — на рис. 1б. Входной дифференциальный каскад ОУ, обычно реализуемый на полевых транзисторах, обеспечивает высокое входное сопротивление. Выходным каскадом является двухтактный усилитель мощности с низким выходным сопротивлением (эмиттерный повторитель, работающий в режиме усиления В или АВ). В настоящее время ОУ проектируют по двухкаскадной схеме.

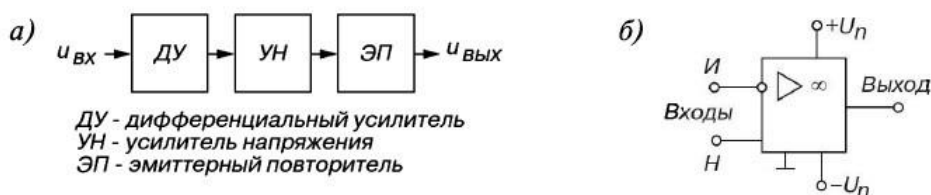


Рис. 1

Операционный усилитель имеет два входа: инвертирующий (*И*) и неинвертирующий (*Н*). Их название связано с тем, что в первом случае выходное напряжение находится в противофазе с входным, а во втором случае — в фазе с входным напряжением. Для питания ОУ обычно используют два разнополярных источника питания $+U_n$ и $-U_n$ или один биполярный источник, а его среднюю точку соединяют с общей шиной (заземляют), относительно которой измеряются напряжения

$+U_n$ и $-U_n$, равные ± 3 В... ± 15 В. Для получения нужных свойств к дополнительным выводам ОУ подключают звенья обратной связи.

2. Характеристики и параметры оу

Без обратных связей ОУ не применяется из-за его большого коэффициента усиления (для идеального ОУ $K_u = \infty$; $R_{вх} = \infty$; $R_{вых} = 0$ и бесконечная полоса частот усиливаемого сигнала), вследствие чего даже незначительная асимметрия плеч входного дифференциального усилителя или весьма малое входное напряжение могут привести к насыщению ОУ (формирова-

нию на выходе ОУ напряжения, близкого по уровню к напряжению питания) и его неспособности обрабатывать входные сигналы.

Подключив звено отрицательной обратной связи (ООС), состоящее из двух резисторов (делителя), например $R_{oc} \approx 200 \text{ кОм}$ и $R_1 \approx 5 \text{ кОм}$, между выходом и инвертирующим входом и соединив вход H с общей точкой, получим инвертирующий усилитель (рис. 2а) с фиксированным коэффициентом усиления, амплитудная характеристика которого $u_{вых} = f(u_{вх})$ изображена на рис. 2б, где $U_{см}$ — напряжение смещения при $u_{вых} = 0$.

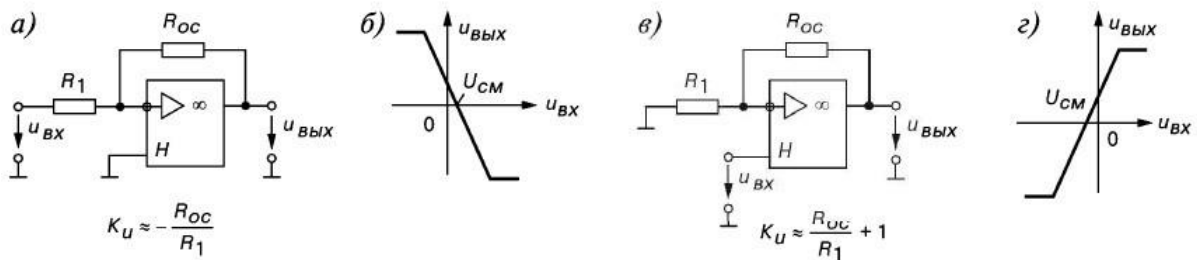


Рис. 2

Схема неинвертирующего усилителя и его амплитудная характеристика представлены на рис. 2в, г.

Основными параметрами ОУ с ООС являются:

1. коэффициент усиления напряжения $K_{и.ос} = \Delta U_{вых} / \Delta U_{вх}$, где $\Delta U_{вх}$ — разность потенциалов между входными выводами, и не зависит от коэффициента усиления самого ОУ ($K_U = 10^5 - 10^6$). Для инвертирующего ОУ с ООС $K_{и.ос}$ приближенно определяется отношением сопротивлений резисторов $R_{ос}$ и R_1 звена ООС по напряжению, то есть $K_{и.ос} \approx -R_{ос}/R_1$. Коэффициент усиления неинвертирующего усилителя (см. рис. 2в) $K_{и.ос} \approx R_{ос}/R_1 + 1$. Максимальное значение напряжения, при котором нелинейные искажения пренебрежительно малы, $U_{вых.макс} = K_{и.ос} U_{вх} \approx (0,8 - 0,9) U_n$, то есть меньше напряжения питания U_n на 0,5—3 В в зависимости от уровня U_n ;

2. входное сопротивление для разностного сигнала между входами ОУ на низкой частоте $R_{вх} \approx 10^3 - 10^7 \text{ Ом}$;

3. выходное сопротивление $R_{вых} < 100 \text{ Ом}$;

4. входное напряжение смещения нуля $U_{см}$ (единицы милливольт) — дифференциальное напряжение, которое нужно приложить между входами ОУ, чтобы его выходное напряжение в отсутствие входных сигналов стало равно нулю;

5. частота среза $f_{в}$, соответствующая спаду АЧХ ОУ на 3 дБ;

6. частота единичного усиления f_1 (достигает сотен мегагерц), то есть частота, при которой $K_{и.ос} = 1$;

7. скорость нарастания выходного напряжения ($v \approx 1 - 100 \text{ В/мкс}$) при подаче ступенчатого напряжения на вход и коротком замыкании выхода на инвертирующий вход;

8. время установления выходного напряжения ($t_{уст} = 0,05 - 2 \text{ мкс}$) от 0,1 до 0,9 своего установившегося значения.

Одним из важных достоинств ОУ является подавление (ослабление) синфазного сигнала $U_{вх.сф} = (u_{вх1} + u_{вх2})/2$, соответствующего равным по значению и одинаковым по знаку напряжениям, приложенным к обоим входам.

Коэффициент ослабления синфазного сигнала: $K_{ос.сф} = 201g(K_{и.ос}/K_{сф}) = 60 - 120 \text{ дБ}$,

где $K_{и.ос}$ — коэффициент усиления напряжения $u_{вх.сф}$, приложенного между входными выводами ОУ, то есть разностного напряжения $\Delta U = u_{вх1} - u_{вх2}$; $K_{сф} = u_{вых.сф} / u_{вх.сф}$ — коэффициент усиления напряжения $u_{вх.сф}$, приложенного между общей шиной и каждым входом ОУ. Чем больше $K_{ос.сф}$, тем меньшую разность входных сигналов сможет различить ОУ на фоне большого синфазного напряжения.

Формирование напряжения на выходе в отсутствие входных сигналов (*дрейф нуля*) обусловлено неполной идентичностью напряжений эмиттерных переходов транзисторов входного дифференциального усилителя, изменением температуры окружающей среды, параметров источников питания, старением активных элементов схемы и т. п. Введением внешних цепей коррекции (балансировки), подключаемых к специально предусмотренным для этой цели выводам ОУ, можно компенсировать погрешности, обусловленные действием всех перечисленных выше дестабилизирующих факторов, приводящих к дрейфу нуля.

1. Экспериментальное исследование инвертирующего усилителя

а) Собрать схему согласно рис. 1; установить заданное преподавателем значение $RP3$;

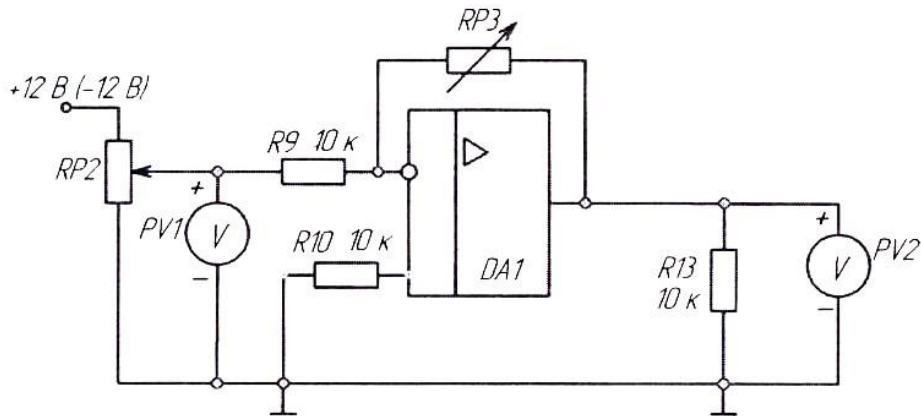


Рис.1.

б) Включить питание. Снять амплитудную характеристику усилителя на постоянном токе $U_{\text{вых}} = f(U_{\text{вх}})$. В качестве источника сигнала использовать напряжение, регулируемое потенциометром $RP2$. Сначала снять половину характеристики, используя источник $+12\text{В}$, затем, подключив источник -12В , снять вторую часть характеристики, т.е. $U_{\text{вх}}$ должно изменяться от $+12$ до -12В .

По амплитудной характеристике определить коэффициент усиления по напряжению $KU_{\text{ос}}$; выключить питание;

в) снять амплитудную характеристику усилителя при помощи осциллографа для сопротивления обратной связи $RP3 = 20\text{кОм}$. Для опыта необходимо подключить к модулю функциональный генератор (рис. 2). Для снятия зависимости одной величины от другой надо использовать два входа осциллографа X и Y . Вход Y (один вывод) подключается к выходу усилителя, вход X – к входу усилителя, а корпус к общему проводу. Развертка луча переключается в положение X/Y . Установить на выходе функционального генератора напряжение частотой из диапазона $100\dots 200$ Гц; определить по характеристикам коэффициенты усиления;

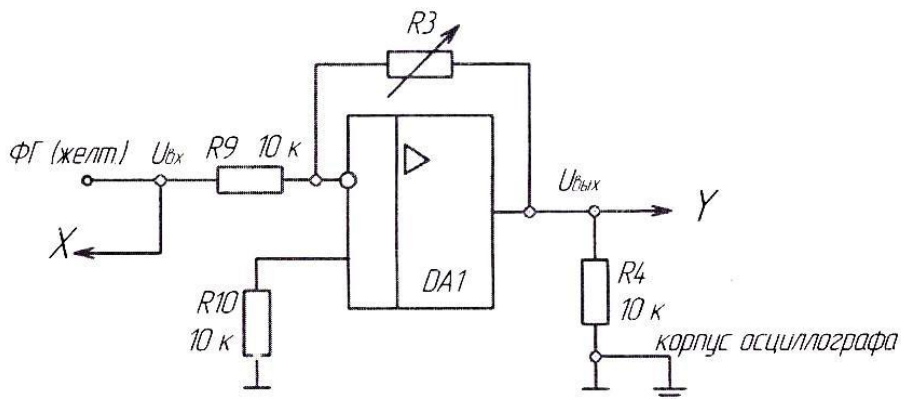


Рис. 2

д) снять амплитудно-частотную характеристику (АЧХ) усилителя $KU = F(f)$ при $U_{\text{вх}} = \text{const}$ для заданного преподавателем значения $R_{\text{ос}}$ ($RP3 = 50$ или 100 кОм). Переключатель развертки осциллографа установить на временную развертку. Рабочая точка усилителя должна находиться на линейном участке амплитудной характеристики. Амплитуды сигналов $U_{\text{вх}}$, $U_{\text{вых}}$ измерять осциллографом.

По АЧХ определить полосу пропускания усилителя для коэффициента частотных искажений на высоких частотах $M_{\text{в}} = \sqrt{2}$.

е) по результатам опыта построить характеристики усилителя, определить его параметры, обработать осциллограммы, сравнить расчет и опыт.

2. Экспериментальное исследование неинвертирующего усилителя

а) собрать схему согласно рис. 3.

Установить заданное преподавателем значение $RP3$.

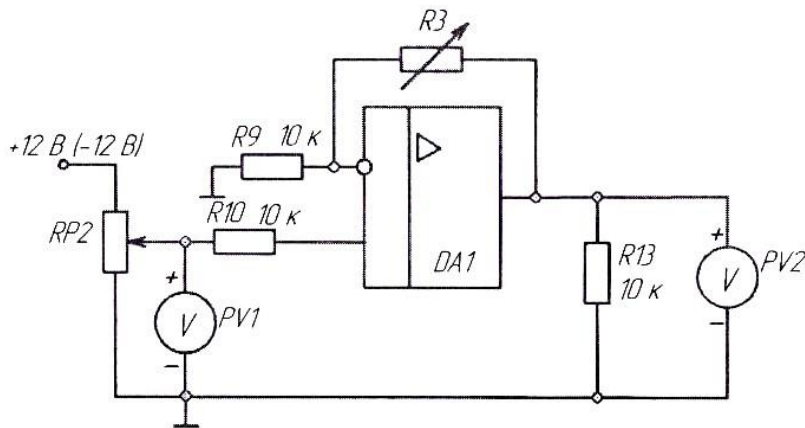


Рис. 3

б) снять амплитудную характеристику усилителя на постоянном токе $U_{\text{вых}} = f(U_{\text{вх}})$. В качестве источника сигнала использовать напряжение, регулируемое потенциометром $RP2$.

По амплитудной характеристике определить коэффициент усиления по напряжению KU ; выключить питание;

в) снять амплитудные характеристики усилителя при помощи осциллографа для двух значений сопротивления обратной связи $RP3 = 20\text{кОм}$ и 50кОм . Для опыта необходимо подключить к модулю функциональный генератор (рис. 4). Для снятия зависимости одной величины от другой надо использовать два входа осциллографа X и Y . Вход Y (один вывод) подключается к выходу усилителя, вход X – к входу усилителя, а корпус к общему проводу. Развертка луча переключается в положение X/Y . Установить на выходе функционального генератора напряжение частотой порядка $100\text{...}200$ Гц; по характеристике определить коэффициент усиления;

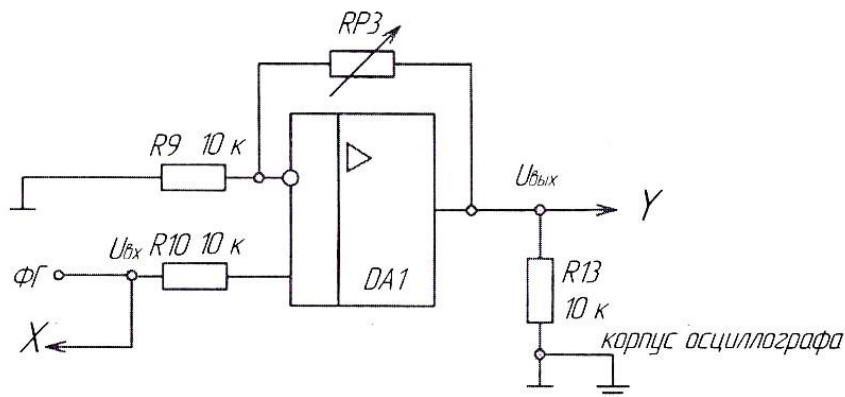


Рис. 4

г) по результатам опыта построить характеристики усилителя, определить его параметры, обработать осциллограммы, сравнить расчет и опыт.

3. Исследование интегратора на операционном усилителе

Напряжение на выходе интегратора при постоянном входном сигнале изменяется по линейному закону

$$u_{\text{вых}}(t) = -\frac{U_{\text{вх}} \cdot t}{T_{\text{и}}} + U_{\text{вых}}(0);$$

где $T_{\text{и}} = R_1 \cdot C_2$ – постоянная времени интегрирования, $U_{\text{вых}}(0)$ – напряжение на выходе интегратора в момент времени $t=0$.

При периодическом прямоугольном входном сигнале напряжение на выходе интегратора имеет пилообразную форму с амплитудой $U_{\text{пм}}$ (рис. 5).

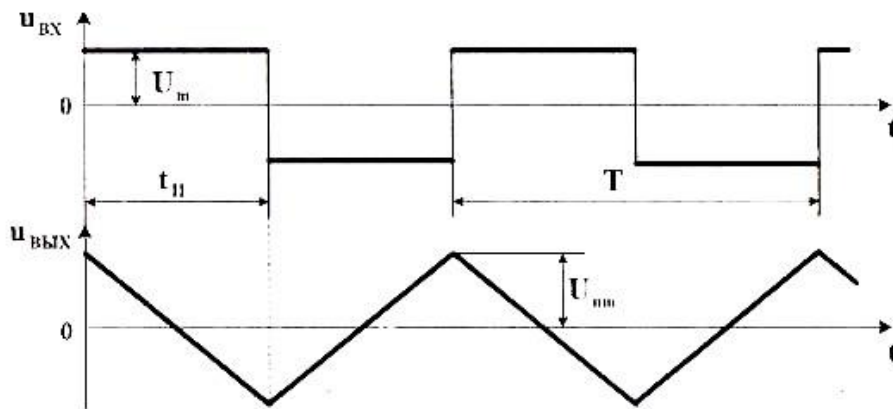


Рис. 5

В реальной схеме интегратора вследствие дрейфа нуля ОУ сигнал на выходе $U_{\text{ВЫХ}}$ оказывается смещенным относительно нуля. Для получения симметричного сигнала $U_{\text{ВЫХ}}$ относительно нуля примем $U_{\text{нм}} = U_{\text{ВЫХ max}}$ и найдем требуемую амплитуду прямоугольного входного сигнала U_m .

Для интервала времени $t_{и}$ (рис. 5) подставим в уравнение (1):

$u_{\text{ВЫХ}}(t) = -U_{\text{нм}} = -U_{\text{ВЫХ max}}$; $t = t_{и} = T/2$; $U_{\text{ВХ}} = U_m$; $U_{\text{ВЫХ}}(0) = U_{\text{нм}} = U_{\text{ВЫХ max}}$, ТОГДА

$$U_m = \frac{4 \cdot U_{\text{нм}} \cdot T_{и}}{T}$$

где $T = 1/f$ - период прямоугольного входного сигнала.

а) собрать схему интегратора согласно рис. 6, установив значение емкости в цепи обратной связи $C = C5$;

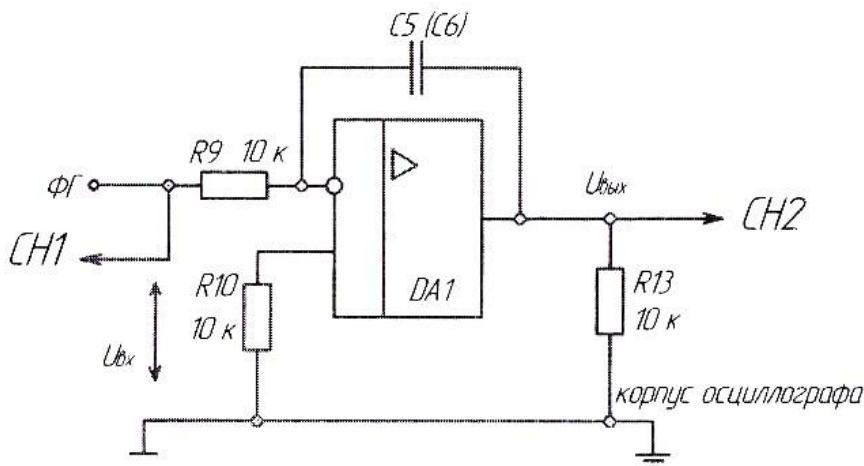


Рис. 6

б) исследовать работу интегратора в режиме генератора пилообразного напряжения (рис. 5). Для этого на функциональном генераторе установить прямоугольное знакопеременное напряжение с заданной частотой f и амплитудой U_m , рассчитанной по формуле (2). Напряжение на входе $U_{\text{ВХ}}$ и выходе $U_{\text{ВЫХ}}$ контролировать при помощи осциллографа. При необходимости подстроить потенциометром $RP1$ амплитуду U_m знакопеременного прямоугольного сигнала так, чтобы пилообразный выходной сигнал интегратора стал симметричным относительно нуля с амплитудой $U_{\text{нм}} = U_{\text{ВЫХ max}}$. Зарисовать осциллограммы $u_{\text{вх}}(t)$ и $u_{\text{вых}}(t)$. Сравнить полученные результаты с расчетом по значениям $U_m, f, U_{\text{нм}}$.

в) снять и построить зависимость амплитуды выходного напряжения от частоты $U_{\text{нм}} = F(f)$ при постоянной амплитуде синусоидального входного напряжения. Амплитуды $U_{\text{вх}m}$ и $U_{\text{вых}m}$ замерять при помощи осциллографа. Результаты заносить в таблицу. Построить зависимость $U_{\text{вых}m} = F(f)$. Выключить питание модуля.

Контрольные вопросы

1. Что называется операционным усилителем?
2. Каковы основные параметры операционного усилителя?
3. Почему операционный усилитель, включенный без обратной связи, работает как релейный элемент?

4. Какие допущения принимаются для операционного усилителя при выводе коэффициента усиления с различными обратными связями?
5. Для чего применяется отрицательная обратная связь в усилителях?
6. Какой знак будет иметь выходное напряжение инвертирующего усилителя, если на вход подано отрицательное напряжение?
7. Что такое амплитудная и амплитудно-частотная характеристики усилителя? Как определить полосу пропускания усилителя?
8. Как снять амплитудную характеристику инвертирующего усилителя при помощи осциллографа?
9. Как получить на выходе интегрирующего усилителя пилообразное напряжение?
10. Как определяется постоянная времени интегрирования?

Лабораторная работа № 5

Тема: Исследование работы шифратора и дешифратора

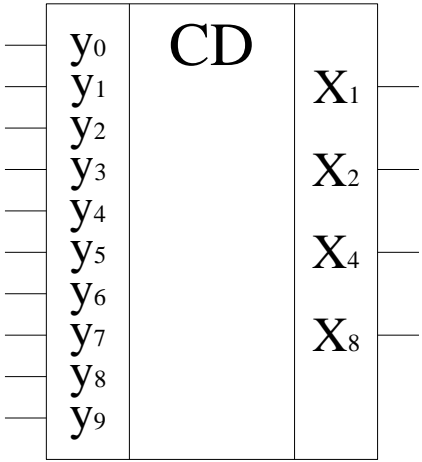
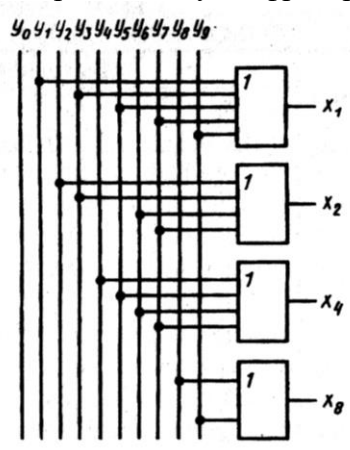
Цель: Исследовать работу комбинационных цифровых устройств, построенных на шифраторах и дешифраторах.

Приборы: виртуальный лабораторный практикум.

Краткие теоретические сведения.

Шифратор (кодер)

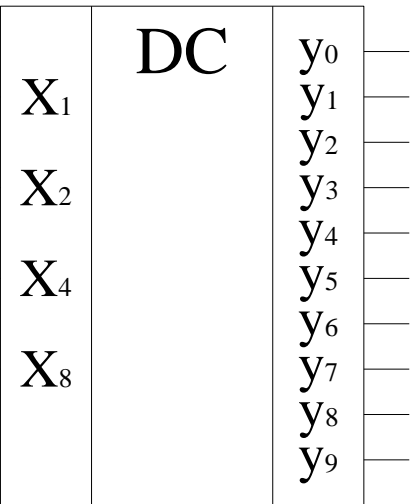
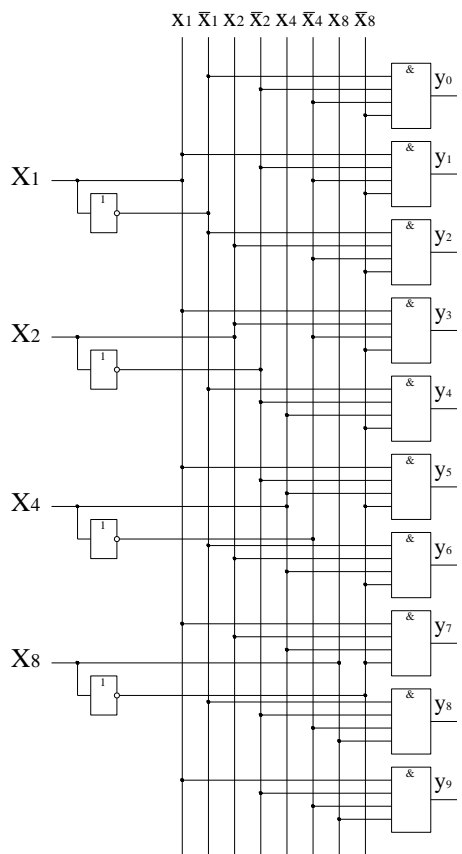
Служит для преобразования десятичного числа в двоичный код. Шифратор имеет входы U пронумерованные в десятичной системе счисления и выходы X , соответствующие отдельным разрядам двоичного числа. Чтобы преобразовать десятичное число в двоичное, необходимо активный логический уровень («0» или «1») подать на вход, номер которого в десятичной форме соответствует преобразуемому числу. При этом на выходах X формируется соответствующий двоичный код.

	<p>Таблица функционирования</p> <table border="1" style="margin: auto;"> <thead> <tr> <th rowspan="2">Входы</th> <th colspan="4">Выходы</th> </tr> <tr> <th>X8</th> <th>X4</th> <th>X2</th> <th>X1</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td></tr> <tr><td>2</td><td>0</td><td>0</td><td>1</td><td>0</td></tr> <tr><td>3</td><td>0</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>4</td><td>0</td><td>1</td><td>0</td><td>0</td></tr> <tr><td>5</td><td>0</td><td>1</td><td>0</td><td>1</td></tr> <tr><td>6</td><td>0</td><td>1</td><td>1</td><td>0</td></tr> <tr><td>7</td><td>0</td><td>1</td><td>1</td><td>1</td></tr> <tr><td>8</td><td>1</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>9</td><td>1</td><td>0</td><td>0</td><td>1</td></tr> </tbody> </table>	Входы	Выходы				X8	X4	X2	X1	0	0	0	0	0	1	0	0	0	1	2	0	0	1	0	3	0	0	1	1	4	0	1	0	0	5	0	1	0	1	6	0	1	1	0	7	0	1	1	1	8	1	0	0	0	9	1	0	0	1
Входы	Выходы																																																											
	X8	X4	X2	X1																																																								
0	0	0	0	0																																																								
1	0	0	0	1																																																								
2	0	0	1	0																																																								
3	0	0	1	1																																																								
4	0	1	0	0																																																								
5	0	1	0	1																																																								
6	0	1	1	0																																																								
7	0	1	1	1																																																								
8	1	0	0	0																																																								
9	1	0	0	1																																																								
<p>Запишем логические выражения для выходов X.</p> $X_1 = U_1 \vee U_3 \vee U_5 \vee U_7 \vee U_9$ $X_2 = U_2 \vee U_3 \vee U_6 \vee U_7$ $X_4 = U_4 \vee U_5 \vee U_6 \vee U_7$ $X_8 = U_8 \vee U_9$	<p>В соответствии с полученными выражениями построим схему шифратора</p> 																																																											

Дешифратор (декодер)

Выполняет обратную шифратору функцию, т.е. преобразует двоичный код в десятичное число. Дешифратор имеет входы X , соответствующие отдельным разрядам двоичного числа и

выходы Y , пронумерованные в десятичной системе счисления. Чтобы двоичное число преобразовать в десятичное, необходимо разряды двоичного числа подать на соответствующие входы X . При этом активный логический уровень («0» или «1») формируется на одном из выходов, номер которого в десятичной форме соответствует преобразуемому коду.

	<p>Таблица функционирования</p> <table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <thead> <tr> <th colspan="4">Входы</th> <th>Выходы</th> </tr> <tr> <th>X8</th> <th>X4</th> <th>X2</th> <th>X1</th> <th>Y</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>2</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>3</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>4</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>5</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td>6</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td>7</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>8</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td>9</td></tr> </tbody> </table>	Входы				Выходы	X8	X4	X2	X1	Y	0	0	0	0	0	0	0	0	1	1	0	0	1	0	2	0	0	1	1	3	0	1	0	0	4	0	1	0	1	5	0	1	1	0	6	0	1	1	1	7	1	0	0	0	8	1	0	0	1	9
Входы				Выходы																																																									
X8	X4	X2	X1	Y																																																									
0	0	0	0	0																																																									
0	0	0	1	1																																																									
0	0	1	0	2																																																									
0	0	1	1	3																																																									
0	1	0	0	4																																																									
0	1	0	1	5																																																									
0	1	1	0	6																																																									
0	1	1	1	7																																																									
1	0	0	0	8																																																									
1	0	0	1	9																																																									
<p>Логические выражения для выходов Y</p> $Y_0 = \overline{X_8} \wedge \overline{X_4} \wedge \overline{X_2} \wedge \overline{X_1}$ $Y_1 = \overline{X_8} \wedge \overline{X_4} \wedge \overline{X_2} \wedge X_1$ $Y_2 = \overline{X_8} \wedge \overline{X_4} \wedge X_2 \wedge \overline{X_1}$ $Y_3 = \overline{X_8} \wedge \overline{X_4} \wedge X_2 \wedge X_1$ $Y_4 = \overline{X_8} \wedge X_4 \wedge \overline{X_2} \wedge \overline{X_1}$ $Y_5 = \overline{X_8} \wedge X_4 \wedge \overline{X_2} \wedge X_1$ $Y_6 = \overline{X_8} \wedge X_4 \wedge X_2 \wedge \overline{X_1}$ $Y_7 = \overline{X_8} \wedge X_4 \wedge X_2 \wedge X_1$ $Y_8 = X_8 \wedge \overline{X_4} \wedge \overline{X_2} \wedge \overline{X_1}$ $Y_9 = X_8 \wedge \overline{X_4} \wedge X_2 \wedge \overline{X_1}$	<p>В соответствии с логическими выражениями построим схему дешифратора</p> 																																																												

Порядок выполнения работы:

1. Исследование работы шифратора и дешифратора

1.1. Выполнить преобразование десятичных чисел от 0 до 9 в схеме шифратора.

Активный уровень лог. «1» поочередно подавать на входы $Y_0 - Y_9$ при этом фиксировать и записывать в таблицу отчета кодовые комбинации на выходах X_1, X_2, X_4, X_8 .

3. Сделать выводы по работе
4. Оформить отчет
5. Ответить на контрольные вопросы

Контрольные вопросы.

1. Какую функцию выполняет шифратор?
2. Привести функциональное обозначение шифратора?
3. Пояснить назначение выводов шифратора?
4. Пояснить принцип работы шифратора?
5. Какую функцию выполняет дешифратор?
6. Привести функциональное обозначение дешифратора?
7. Пояснить назначение выводов дешифратора?
8. Пояснить принцип работы дешифратора?

Лабораторная работа № 6

Тема: Исследование работы мультиплексора, демультиплексора, сумматора и АЛУ.

Цель: Исследовать работу комбинационных цифровых устройств, построенных на мультиплексорах, демультиплексорах, сумматорах.

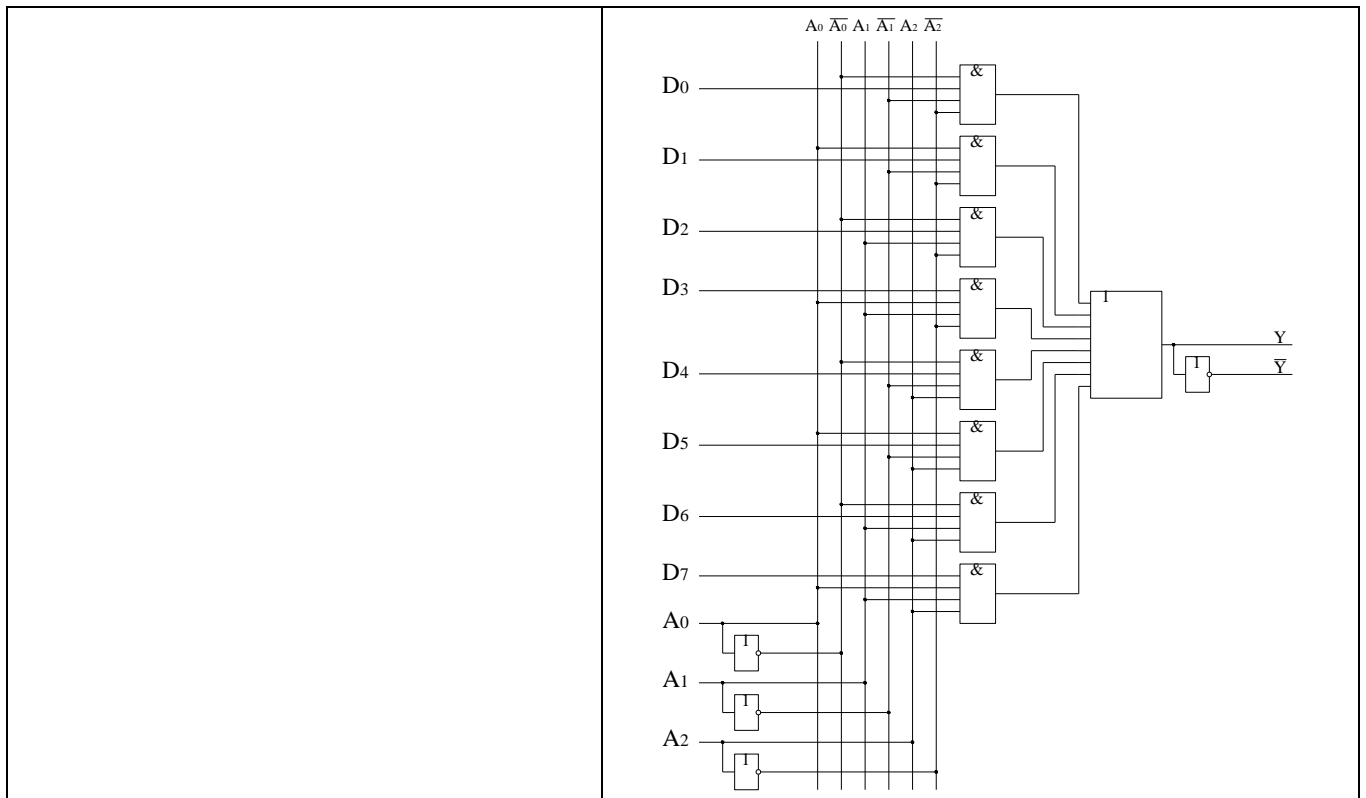
Приборы: виртуальный лабораторный практикум.

Краткие теоретические сведения

Мультиплексор

Мультиплексор имеет информационные входы D, адресные входы A и выходы: прямой Y и инверсный \bar{Y} . В нем к выходу Y может быть подключен один из информационных входов D в зависимости от кода действующего на адресных входах A.

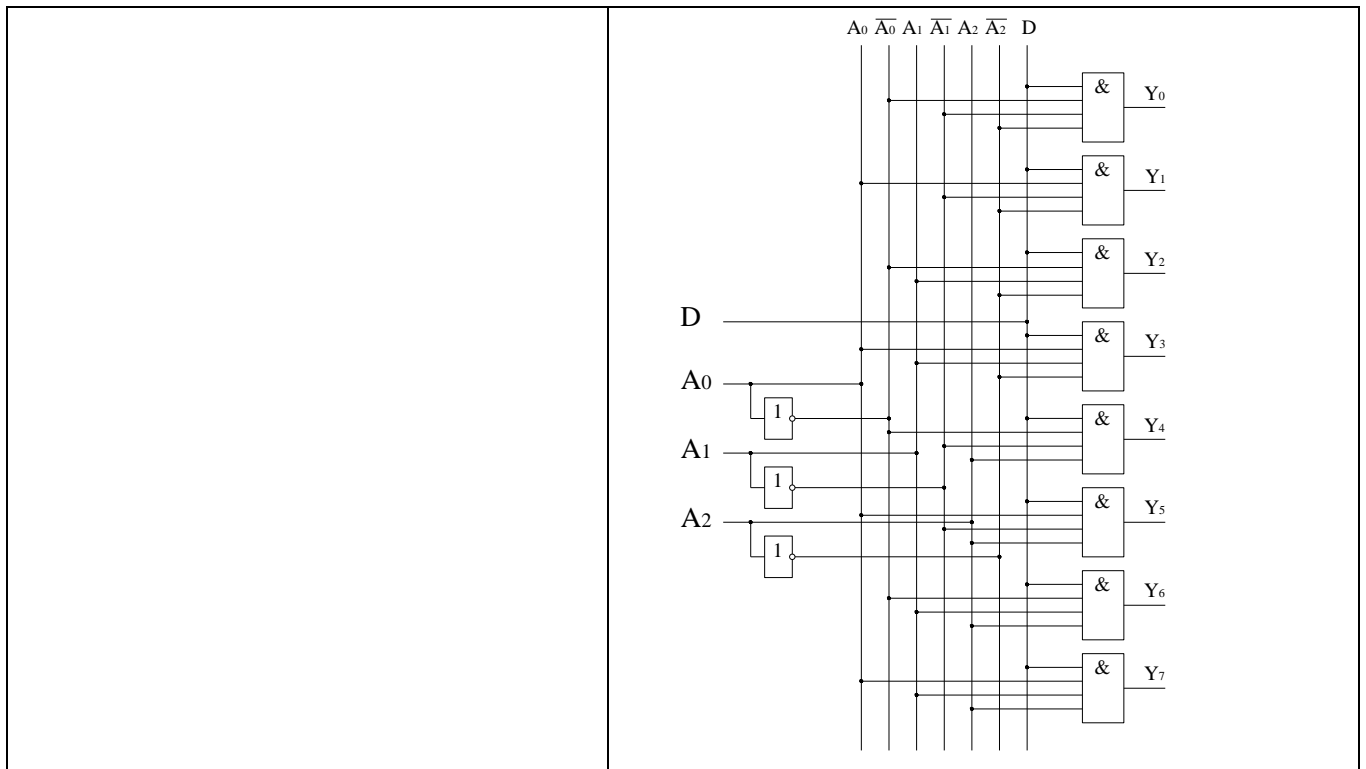
	<p>Таблица функционирования.</p> <table border="1"> <thead> <tr> <th colspan="3">Входы</th> <th>Выход</th> </tr> <tr> <th>A2</th> <th>A1</th> <th>A0</th> <th>Y</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>D0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>D1</td></tr> <tr><td>0</td><td>1</td><td></td><td>D2</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>D3</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>D4</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>D5</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>D6</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>D7</td></tr> </tbody> </table>	Входы			Выход	A2	A1	A0	Y	0	0	0	D0	0	0	1	D1	0	1		D2	0	1	1	D3	1	0	0	D4	1	0	1	D5	1	1	0	D6	1	1	1	D7
Входы			Выход																																						
A2	A1	A0	Y																																						
0	0	0	D0																																						
0	0	1	D1																																						
0	1		D2																																						
0	1	1	D3																																						
1	0	0	D4																																						
1	0	1	D5																																						
1	1	0	D6																																						
1	1	1	D7																																						
<p>Запишем логическое выражение для выхода Y</p> $Y = D_0 \overline{A_2} \overline{A_1} \overline{A_0} \vee D_1 \overline{A_2} A_1 \overline{A_0} \vee D_2 \overline{A_2} A_1 A_0 \vee D_3 A_2 \overline{A_1} \overline{A_0} \vee D_4 A_2 \overline{A_1} A_0 \vee D_5 A_2 A_1 \overline{A_0} \vee D_6 A_2 A_1 A_0 \vee D_7 \overline{A_2} A_1 A_0$	<p>В соответствии с логическими выражениями построим схему мультиплексора</p>																																								



Демультиплексор

Выполняет функцию обратную мультиплексору. Он имеет информационный вход D, адресные входы A и выходы Y. В нем вход D может быть подключен к одному из выходов Y в зависимости от кода, действующего на входах A.

	<p>Таблица функционирования.</p> <table border="1"> <thead> <tr> <th colspan="3">Входы</th> <th colspan="8">Выходы</th> </tr> <tr> <th>A2</th> <th>A1</th> <th>A0</th> <th>y0</th> <th>y1</th> <th>y2</th> <th>y3</th> <th>y4</th> <th>y5</th> <th>6</th> <th>7</th> </tr> </thead> <tbody> <tr> <td>0</td> <td></td> <td></td> <td>D</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>D</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>D</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>D</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>D</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>D</td> <td>0</td> <td>0</td> </tr> <tr> <td></td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>D</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>D</td> </tr> </tbody> </table>	Входы			Выходы								A2	A1	A0	y0	y1	y2	y3	y4	y5	6	7	0			D	0	0	0	0	0	0	0	0	0	1	0	D	0	0	0	0	0	0	0	1	0	0	0	D	0	0	0	0	0	0	1	1	0	0	0	D	0	0	0	0	1	0	0	0	0	0	0	D	0	0	0	1	0	1	0	0	0	0	0	D	0	0		1	0	0	0	0	0	0	0	D	0	1	1	1	0	0	0	0	0	0	0	D
Входы			Выходы																																																																																																												
A2	A1	A0	y0	y1	y2	y3	y4	y5	6	7																																																																																																					
0			D	0	0	0	0	0	0	0																																																																																																					
0	0	1	0	D	0	0	0	0	0	0																																																																																																					
0	1	0	0	0	D	0	0	0	0	0																																																																																																					
0	1	1	0	0	0	D	0	0	0	0																																																																																																					
1	0	0	0	0	0	0	D	0	0	0																																																																																																					
1	0	1	0	0	0	0	0	D	0	0																																																																																																					
	1	0	0	0	0	0	0	0	D	0																																																																																																					
1	1	1	0	0	0	0	0	0	0	D																																																																																																					
<p>Запишем логическое выражение для выходов</p> $Y_0 = D \overline{A_2} \overline{A_1} \overline{A_0}$ $Y_1 = D \overline{A_2} A_1 \overline{A_0}$ $Y_2 = D \overline{A_2} A_1 A_0$ $Y_3 = D A_2 \overline{A_1} \overline{A_0}$ $Y_4 = D A_2 \overline{A_1} A_0$ $Y_5 = D A_2 A_1 \overline{A_0}$ $Y_6 = D A_2 A_1 A_0$	<p>В соответствии с логическими выражениями построим схему</p>																																																																																																														

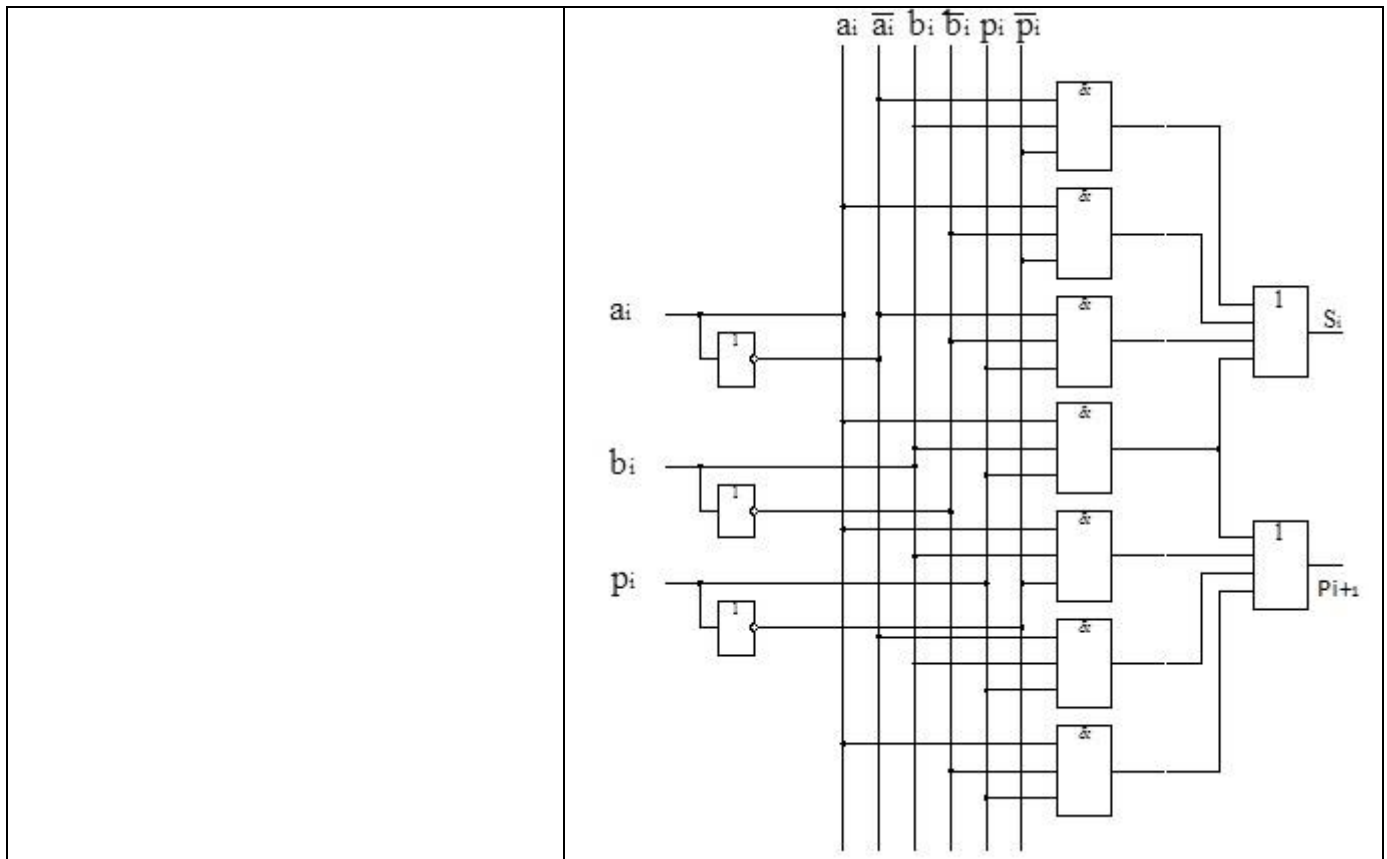


Сумматор

При сложении многоразрядных двоичных чисел в каждом разряде выполняются однотипные действия: складываются соответствующие разряды слагаемых и перенос из предыдущего разряда, при этом формируется цифра суммы данного разряда и перенос в следующий разряд.

Поэтому можно построить схему одноразрядного сумматора, а для сложения многоразрядных чисел - объединить соответствующее количество одноразрядных сумматоров

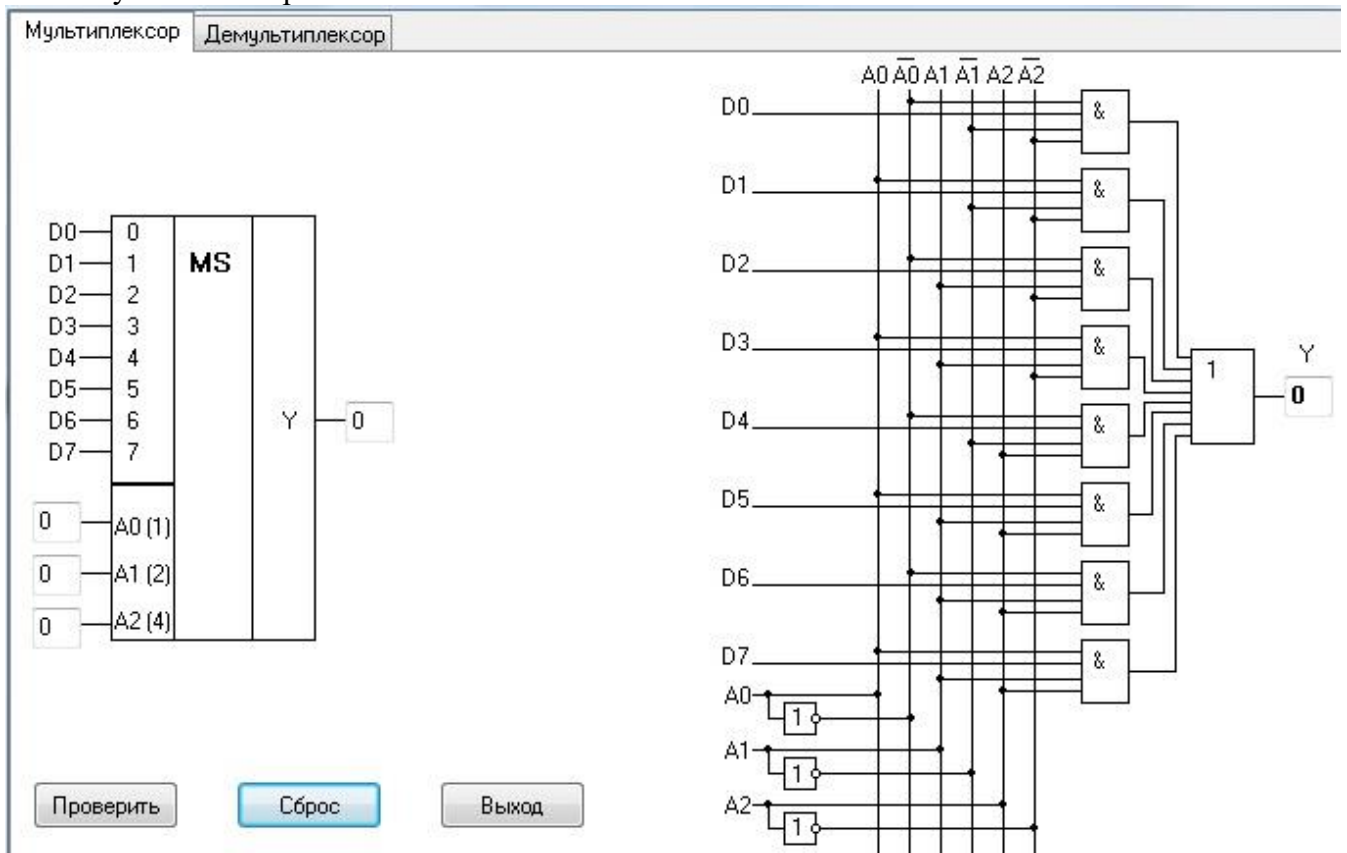
	<p>Таблица функционирования.</p> <table border="1"> <thead> <tr> <th>a_i</th> <th>b_i</th> <th>p_i</th> <th>S_i</th> <th>P_{i+1}</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td></tr> </tbody> </table>	a_i	b_i	p_i	S_i	P_{i+1}	0	0	0	0	0	0	0	1	1	0	0	1	0	1	0	0	1	1	0	1	1	0	0	1	0	1	0	1	0	1	1	1	0	0	1	1	1	1	1	1
a_i	b_i	p_i	S_i	P_{i+1}																																										
0	0	0	0	0																																										
0	0	1	1	0																																										
0	1	0	1	0																																										
0	1	1	0	1																																										
1	0	0	1	0																																										
1	0	1	0	1																																										
1	1	0	0	1																																										
1	1	1	1	1																																										
<p>Запишем логическое выражение для выходов</p> $S_i = \bar{a}_i \bar{b}_i p_i \vee \bar{a}_i b_i \bar{p}_i \vee a_i \bar{b}_i \bar{p}_i \vee a_i b_i p_i$ $P_{i+1} = \bar{a}_i b_i p_i \vee a_i \bar{b}_i p_i \vee a_i b_i \bar{p}_i \vee a_i b_i p_i$	<p>В соответствии с логическими выражениями построим схему</p>																																													



Порядок выполнения работы:

1. Исследование работы мультиплексора и демультимплексора

1.1. Выполнить проверку подключения информационных входов D0-D7 к выходу Y в схеме мультиплексора.

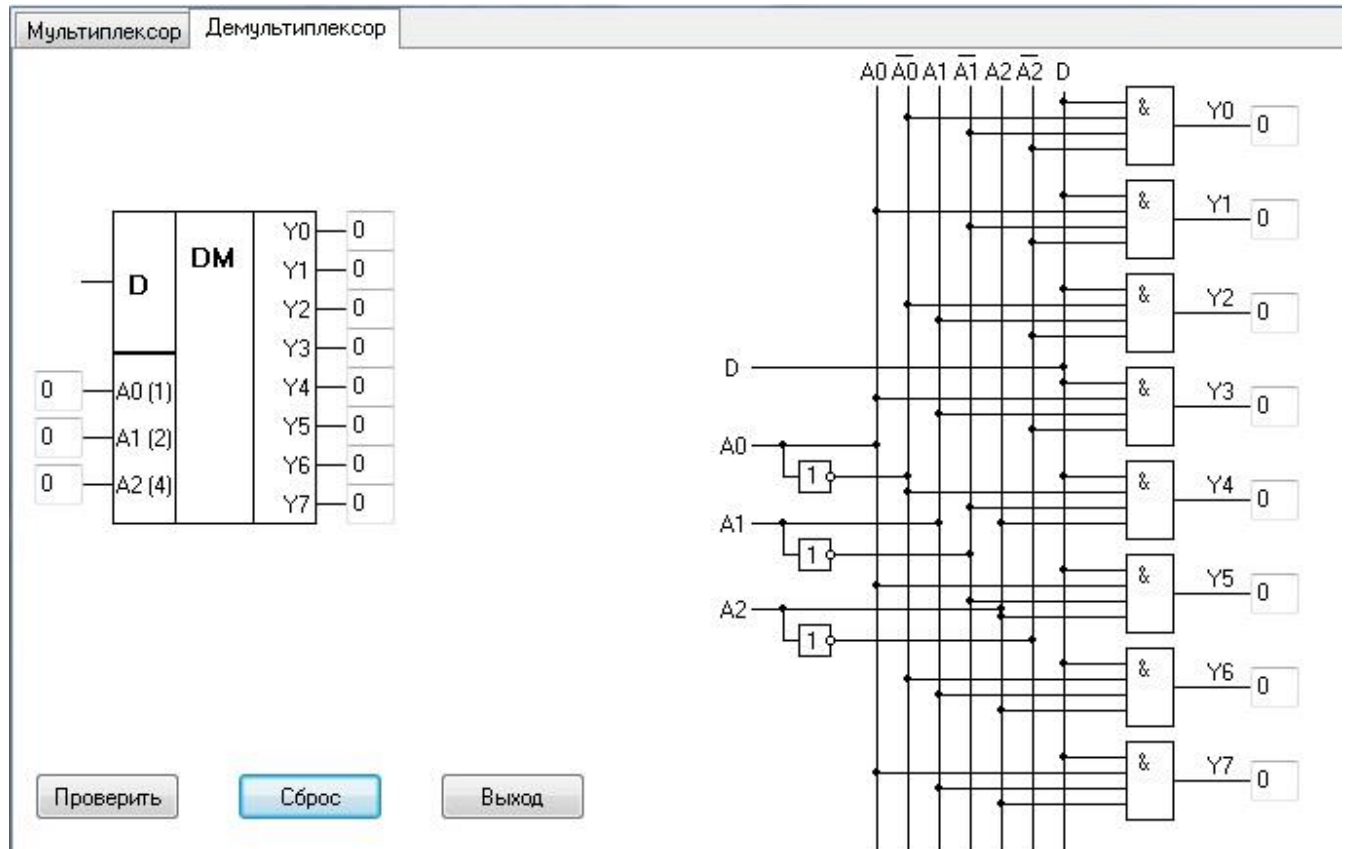


Двоичные коды поочередно подавать на входы A0, A1, A2, при этом фиксировать и записывать в таблицу отчета информационные входы D0 – D7, которые подключаются к выходу Y.

Адресные входы			Выход
A2	A1	A0	Y

1.2. Используя схему внутренней структуры мультиплексора, записать логические выражения для формирования сигнала на выходе мультиплексора Y в зависимости от кода, действующего на адресных входах A (по заданию преподавателя).

1.3. Выполнить проверку подключения информационного входа D к одному из выходов $Y_0 - Y_7$ в схеме демультиплексора.



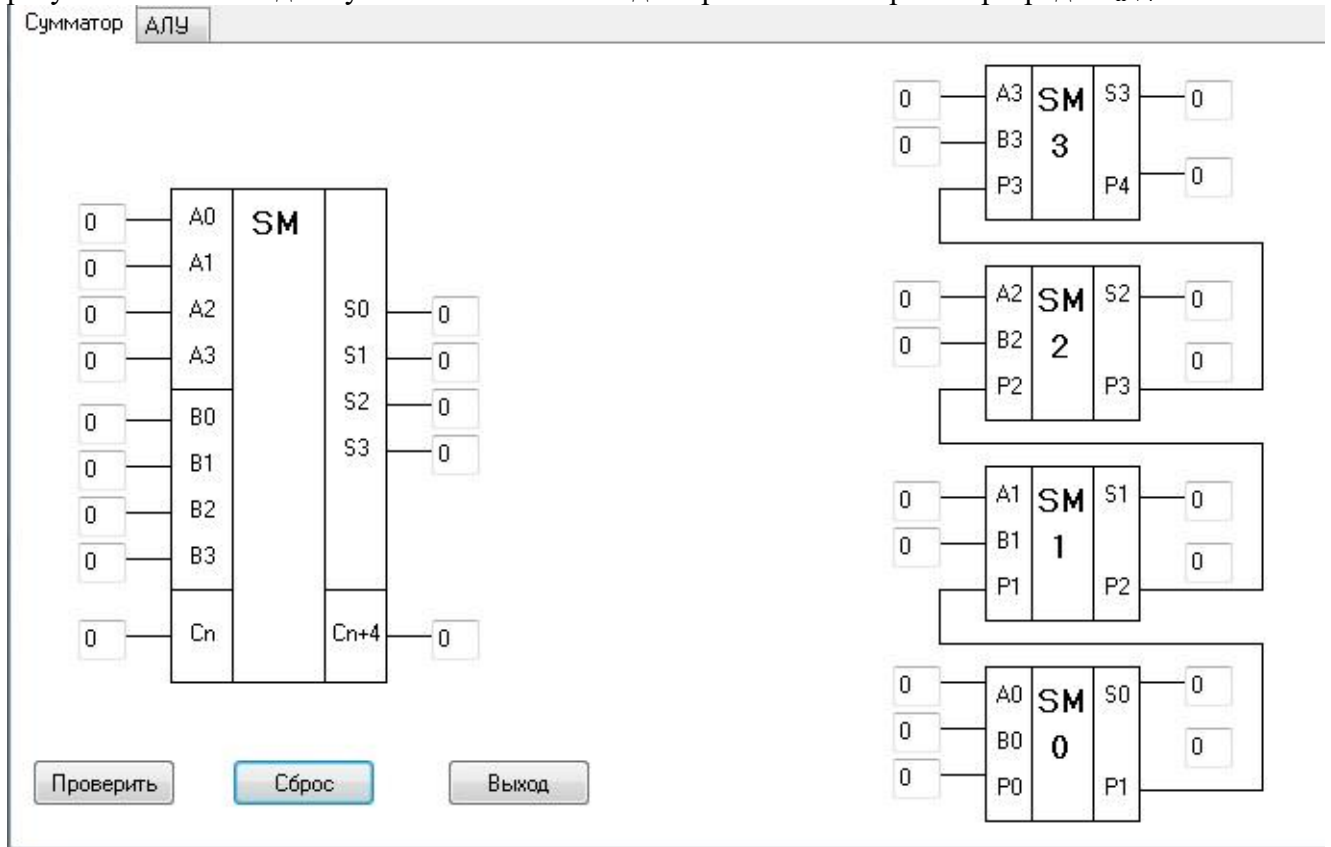
Двоичные коды поочередно подавать на входы A_0, A_1, A_2 , при этом фиксировать и записывать в таблицу отчета выходы $Y_0 - Y_7$, к которым подключается информационный вход D .

Входы			Выходы							
A2	A1	A0	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7

1.4. Используя схему внутренней структуры демультиплексора, записать логические выражения для формирования сигналов на выходах $Y_0 - Y_7$ демультиплексора в зависимости от кода, действующего на адресных входах A (по заданию преподавателя)

2. Исследование работы сумматора

2.1. Выполнить проверку сложения двоичных кодов в четырехразрядном двоичном сумматоре параллельного действия. Входные коды слагаемых подавать на входы $A_0 - A_3$ и $B_0 - B_3$, перенос в младший разряд на вход C_n , при этом фиксировать и записывать в таблицу отчета результаты на выходах суммы $S_0 - S_3$ и выходе переноса из старшего разряда C_{n+4} .



№	Десятичное число	Двоичный код	Десятичное число	Двоичный код	Десятичное число	Двоичный код
	A_{10}		B_{10}		S_{10}	
1		A_3		B_3		S_3
		A_2		B_2		S_2
		A_1		B_1		S_1
		A_0		B_0		S_0
		C_n				C_{n+4}

2.2. Результаты пояснить с помощью расчётов (по заданию преподавателя)

3. Исследование арифметико-логического устройства (АЛУ)

3.1. Выполнить проверку логических операций над четырехразрядными двоичными кодами в АЛУ. Входные коды операндов подавать на входы $A_0 - A_3$ и $B_0 - B_3$, перенос в младший разряд на вход C_n , вид выполняемой операции задавать на входах выбора режима $S_0 - S_3$ и M .

Фиксировать и записывать в таблицу отчета результаты на выходах F0 – F3.

Сумматор
АЛУ

Выбор функции				Выходные данные при активных высоких уровнях		
S ₃	S ₂	S ₁	S ₀	Логические функции (М-высокий уровень)	Арифметические операции (М- низкий уровень)	
					C _n =1 (без переноса)	C _n =0 (с переносом)
0	0	0	0	\bar{A}	A	A+1
0	0	0	1	$\bar{A+B}$	A+B	(A+B)+1
0	0	1	0	$\bar{A} \cdot B$	A + \bar{B}	(A+ \bar{B})+1
0	1	0	1	\bar{B}	(A+B)+A \bar{B}	(A+B)+AB+1
0	1	1	0	A \oplus B	A-B-1	A - B
1	0	0	0	A + B	A +AB	A +AB +1
1	0	1	1	AB	AB-1	AB
1	1	0	0	1	A +A	A +A +1

Проверить
Сброс
Выход

№	Режим	Двоичный код операнда А		Двоичный код операнда В		Двоичный код результата F	
		A ₃	A ₂	B ₃	B ₂	F ₃	F ₂
1	S ₃	A ₃		B ₃		F ₃	
	S ₂	A ₂		B ₂		F ₂	
	S ₁	A ₁		B ₁		F ₁	
	S ₀	A ₀		B ₀		F ₀	
	M	C _n				C _{n+4}	

3.2. Обосновать полученные результаты (по заданию преподавателя).

3.3. Выполнить проверку арифметических операций над четырехразрядными двоичными кодами в АЛУ. Входные коды операндов подавать на входы А0 – А3 и В0 – В3, перенос в младший разряд на вход С_n, вид выполняемой операции задавать на входах выбора режима S0 – S3 и М.

Фиксировать и записывать в таблицу отчета результаты на выходах F0 – F3.

№	Режим	Десятичное число		Двоичный код		Десятичное число		Двоичный код	
		A ₁₀	B ₁₀	F ₁₀					
2	S ₃			A ₃		B ₃		F ₃	
	S ₂			A ₂		B ₂		F ₂	
	S ₁			A ₁		B ₁		F ₁	
	S ₀			A ₀		B ₀		F ₀	
	M			C _n				C _{n+4}	

3.4. Обосновать полученные результаты (по заданию преподавателя).

4. Исследование программируемой логической матрицы

4.1. Матрицу запрограммировать для выполнения операций

$$P1 = X1 \& \overline{X2}$$

$$P2 = \overline{X1} \& X2 \& X3$$

$$P3 = \overline{X3}$$

$$P4 = \overline{X1} \& \overline{X2} \& X3$$

$$P5 = X2 \& X3$$

$$1. Y1 = X1 \& \overline{X2} \vee \overline{X3} = P1 \vee P3$$

$$2. Y2 = X1 \& \overline{X2} \vee \overline{X1} \& X2 \& X3 \vee \overline{X3} = P1 \vee P2 \vee P3$$

$$3. Y3 = \overline{X1} \& \overline{X2} \& X3 \vee X2 \& X3 = P4 \vee P5$$

Программируемая логическая матрица

X1	0	0	0	0	1	1	1	1
X2	0	0	1	1	0	0	1	1
X3	0	1	0	1	0	1	0	1
P1	0	1	0	1	0	1	0	1
P2								
P3								
P4								
P5								
Y1								
Y2								
Y3								

Проверить правильность запрограммированной матрицы.

4.2. Выполнить проверку выполнения заданных функций Y1, Y2, Y3 для кодовых комбинаций на входах X1, X2, X3. В таблицу отчета записать результаты, получившиеся на выходах матрицы конъюнкций P0 – P5 и матрицы дизъюнкций Y1 – Y3

Входы	X1								
	X2								
	X3								
Матрица конъюнкций	P1								
	P2								
	P3								
	P4								
	P5								
Матрица дизъюнкций	Y1								
	Y2								
	Y3								

6.3. Обосновать полученные результаты (по заданию преподавателя).

7. Сделать выводы по работе.

8. Оформить отчет.

9. Ответить на контрольные вопросы

Контрольные вопросы.

1. Какую функцию выполняет мультиплексор?
2. Привести функциональное обозначение мультиплексора?
3. Пояснить назначение выводов мультиплексора?
4. Пояснить принцип работы мультиплексора?
5. Какую функцию выполняет демultipлексор?
6. Привести функциональное обозначение демultipлексора?
7. Пояснить назначение выводов демultipлексора?
8. Пояснить принцип работы демultipлексора?
9. Как выполняется сложение двоичных чисел?
10. Как выполняется вычитание двоичных чисел с использованием обратного кода?
11. Как выполняется вычитание двоичных чисел с использованием дополнительного кода?
12. Как перевести отрицательное число в обратный код?
13. Как перевести отрицательное число в прямой код?

Лабораторная работа № 7

Тема: Исследование работы интегральных триггеров.

Цель работы: Исследовать работу синхронных и асинхронных триггеров в статическом и динамическом режимах.

Приборы: Виртуальный лабораторный практикум.

Краткие теоретические сведения

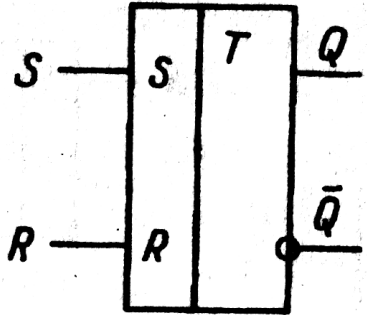
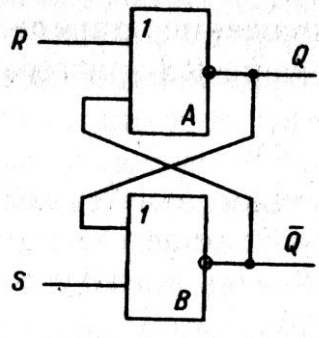
Интегральные триггеры.

Триггер- это устройство, имеющее два устойчивых состояния и способное под действием управляющего сигнала скачком переходить из одного состояния в другое.

Триггер имеет два выхода: прямой Q и инверсный \bar{Q} . Состояние триггера определяется по логическому уровню на прямом выходе. Если триггер в единичном состоянии, то $Q=1$, $\bar{Q}=0$. Если триггер в нулевом состоянии, то $Q=0$, $\bar{Q}=1$. Триггер может иметь различные информационные входы: S – отдельный вход установки триггера в единичное состояние, R – отдельный вход установки триггера в нулевое состояние, J – вход установки универсального триггера в единичное состояние, K - вход установки универсального триггера в нулевое состояние, D - вход установки триггера в состояние, соответствующее логическому уровню действующему на нем, T – счетный вход. В зависимости от того, какие входы имеет триггер, различают: RS- триггер, JK- триггер, D- триггер, T- триггер. Синхронные триггеры, кроме информационных, имеют дополнительный синхронизирующий (управляющий) вход C . Срабатывание синхронного триггера происходит в том случае, если на входе C действует определенный сигнал. Срабатывание триггеров со статическим синхронизирующим входом C происходит в том случае, если на нем действует логическая единица. Срабатывание синхронного триггера с прямым динамическим входом C может произойти в момент положительного перепада напряжения на нем, а срабатывание синхронного триггера с инверсным динамическим синхронизирующим входом происходит в момент отрицательного перепада напряжения на нем.

Асинхронный RS триггер с прямыми входами.

Может быть построен на элементах «или-не», для которых активным уровнем является логическая единица.

		<p>Таблица функционирования.</p> <table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <thead> <tr> <th colspan="2">Вход</th> <th>Выход</th> </tr> <tr> <th>S</th> <th>R</th> <th>Q</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>Q</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>X</td> </tr> </tbody> </table>	Вход		Выход	S	R	Q	0	0	Q	0	1	0	1	0	1	1	1	X
Вход		Выход																		
S	R	Q																		
0	0	Q																		
0	1	0																		
1	0	1																		
1	1	X																		

При $S=0$ и $R=0$ на триггер действуют пассивные логические уровни, срабатывание триг-

гера не происходит и он остается в исходном состоянии Q_0 .

При $S=0$ и $R=1$ активный уровень логической единицы действуют на вход установки в нулевое состояние R , поэтому триггер переходит в нулевое состояние.

При $S=1$ и $R=0$ активный уровень логической единицы действуют на вход установки в единичное состояние S , поэтому триггер переходит в единичное состояние.

При $S=1$ и $R=1$ состояние триггера будет неопределенным, поэтому такая комбинация входных сигналов называется запрещенной.

Асинхронный RS триггер с инверсными входами.

Он может быть построен на элементах «и-не», для которых активным уровнем является логический ноль.

Таблица функционирования.

Вход		Выход
S	R	Q
0	0	X
0	1	1
1	0	0
1	1	Q_0

Таблица функционирования для триггера с инверсными входами инверсна таблице функционирования для триггера с прямыми входами.

Синхронный RS – триггер.

Он может быть получен из асинхронного, если на его входы включить элементы «и».

Таблица функционирования при $C=1$.

Вход		Выход
S	R	Q
	0	Q_0
0	1	0
1	0	1
1	1	X

При $C=0$ не зависимо от того, что действует на входы S и R синхронного триггера, на входах S и R асинхронного триггера, входящего в состав синхронного действует логический ноль, и срабатывание не происходит. При $C=1$ логические уровни со входов синхронного триггера передаются на входы асинхронного триггера и вызывает его соответствующее срабатывание.

Универсальный JK-триггер с двухступенчатым запоминающим информации

Таблица функционирования

Вход		Выход
J	K	Q
0		Q_0
0	1	
1	0	1
1	1	$\overline{Q_0}$

При $J=0$ и $K=0$ срабатывание не происходит и триггер остается в исходном состоянии Q_0 .
 При $J=0$ и $K=1$ логическая единица действует на вход установки в нулевое состояние K и

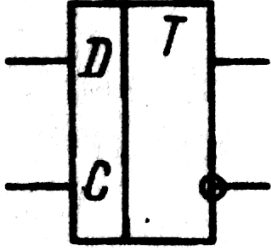
триггер переходит в нулевое состояние.

При $J=1$ и $K=0$ логическая единица действует на вход установки в единичное состояние J и триггер переходит в единичное состояние.

Универсальный триггер не имеет запрещенной комбинации входных сигналов и при $J=1$ и $K=1$ состояние триггера меняется на противоположное.

Срабатывание триггера с двухступенчатым запоминанием информации происходит в два этапа: 1) при положительном перепаде ($C=1$) новое состояние формируется в первом RS-триггере, а логические уровни на выходах JK триггера не изменяются; 2) при отрицательном перепаде ($C=0$) новое состояние, сформированное в первом RS-триггере передается во второй RS-триггер и меняются логические уровни на выходах JK-триггера.

Синхронный D – триггер.



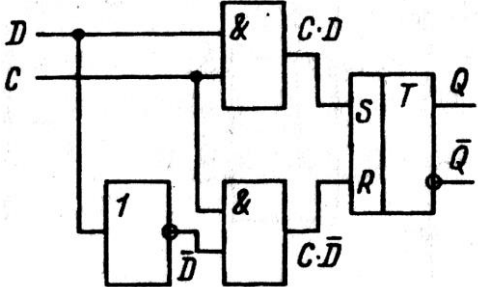


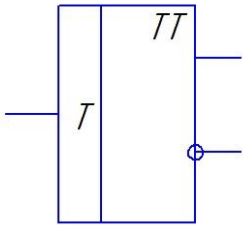
Таблица функционирования при $C=1$

Вход	Выход
D	Q
0	0
1	1

При $C=0$ срабатывание триггера не происходит.

При $C=1$ и $D=0$ триггер устанавливается в нулевое состояние. При $C=1$ и $D=1$ триггер устанавливается в единичное состояние.

T-триггер



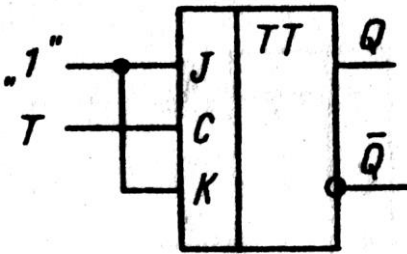



Таблица функционирования

Вход	Выход
T	Q
	$\overline{Q_0}$
x	Q_0

Состояние триггера меняется на противоположное, если на вход поступает прямоугольный импульс, во всех остальных случаях срабатывание триггера не происходит и он остается в исходном состоянии Q_0 .

Порядок выполнения работы:

1. Исследование работы асинхронного RS-триггера

1.1. Выполнить проверку состояний асинхронного RS-триггера

– Исходное состояние триггера устанавливать на выходах триггера (в «0» состоянии $Q_0 = 0, \overline{Q_0} = 1$, в «1» состоянии $Q_0 = 1, \overline{Q_0} = 0$);

– Входные сигналы подавать на входы **S** и **R**;

– Новое состояние фиксировать по выходам **Q** и \overline{Q} ;

– Результаты записать в таблицы 1 и 2.

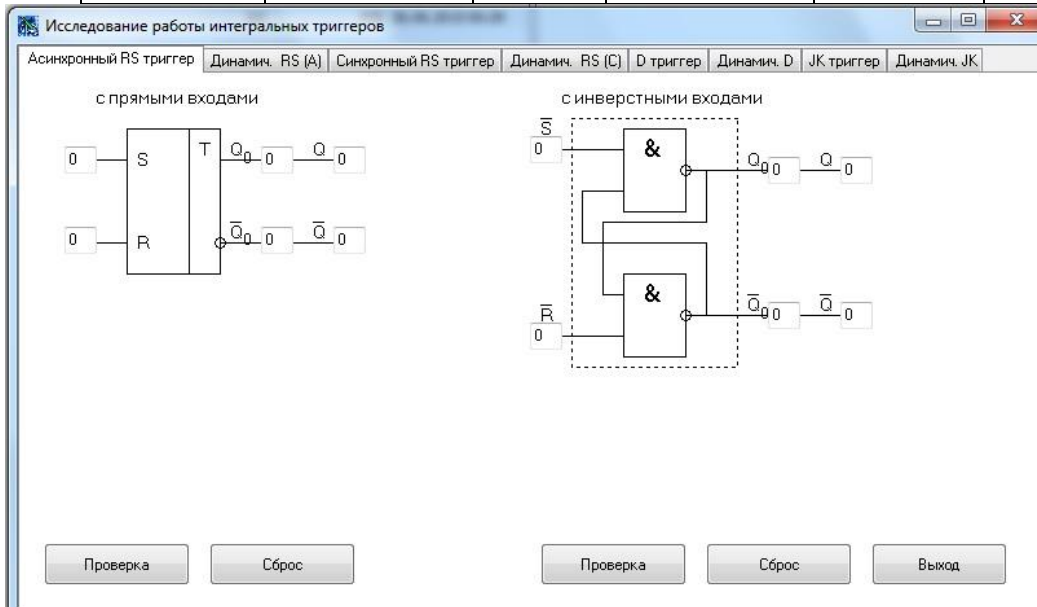
Таблица 1. Состояния асинхронного RS-триггера с прямыми входами.

Исходное состояние		Входные сигналы		Следующее состояние	
Q_0	$\overline{Q_0}$	S	R	Q	\overline{Q}
0	1	0	0		
1	0	0	0		
0	1	0	1		
1	0	0	1		
0	1	1	0		
1	0	1	0		
0	1	1	1		

1	0	1	1		
---	---	---	---	--	--

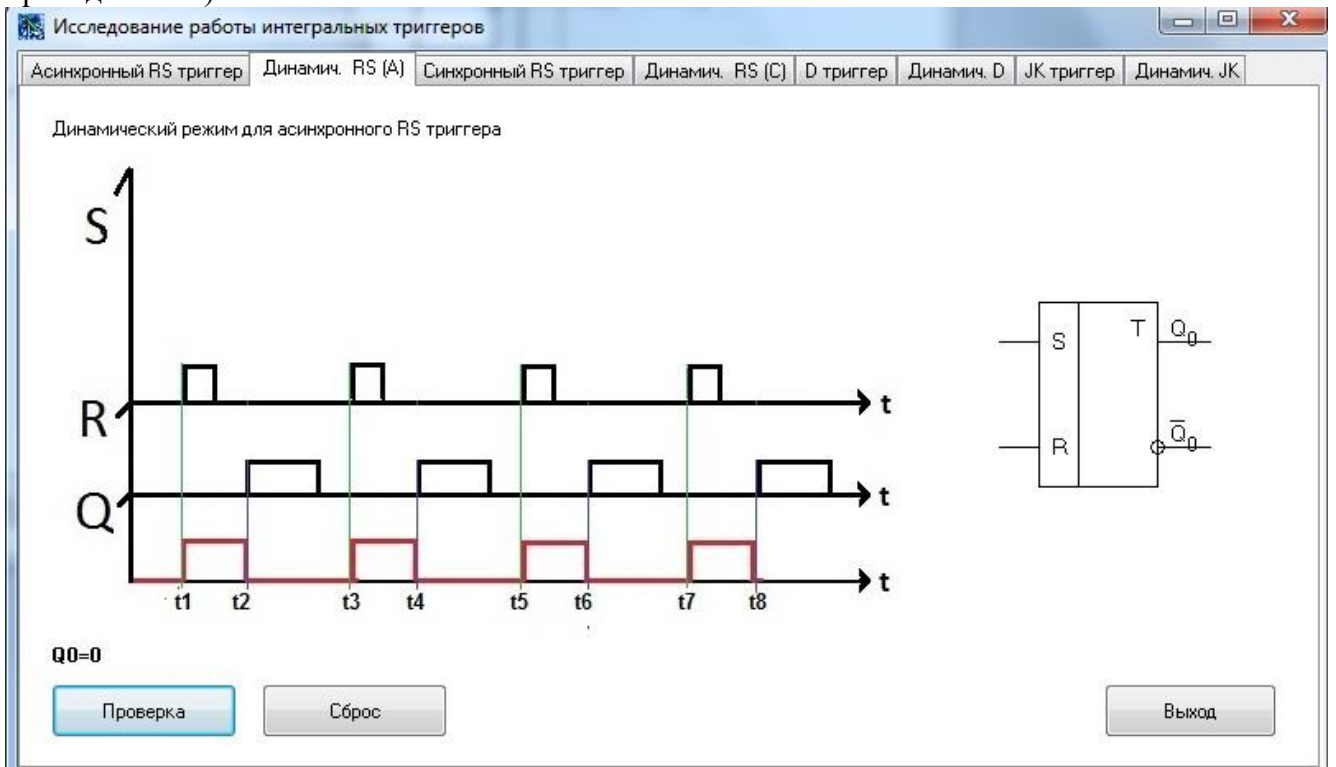
Таблица 2. Состояния асинхронного RS-триггера с инверсными входами.

Исходное состояние		Входные сигналы		Следующее состояние	
Q_0	\bar{Q}_0	\bar{S}	\bar{R}	Q	\bar{Q}
0	1	0	0		
1	0	0	0		
0	1	0	1		
1	0	0	1		
0	1	1	0		
1	0	1	0		
0	1	1	1		
1	0	1	1		



1.2. Получить и перенести графики динамического режима работы асинхронного триггера в отчет по лабораторной работе:

1.3. На графиках временных диаграмм работы асинхронного триггера показать временной интервал, соответствующий действию определенных входных сигналов кода (по заданию преподавателя).



2. Исследование работы синхронного RS-триггера

2.1. Выполнить проверку состояний синхронного RS-триггера

– Исходное состояние триггера устанавливать на выходах триггера (в «0» состоянии $Q_0 = 0, \overline{Q}_0 = 1$, в «1» состоянии $Q_0 = 1, \overline{Q}_0 = 0$);

– Входные сигналы подавать на входы **S**, **C** и **R**;

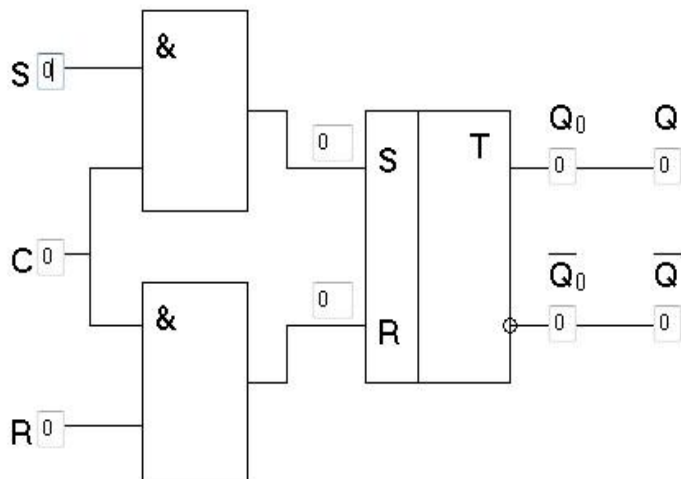
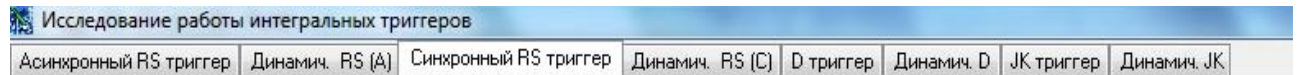
– Новое состояние фиксировать по выходам **Q** и \overline{Q} ;

– Результаты записать в таблицу 3.

Таблица 3. Состояния синхронного **RS** - триггера

Исходное состояние		Входные сигналы			Следующее состояние	
Q_0	\overline{Q}_0	S	R	C	Q	\overline{Q}
0	1	0	0	1		
1	0	0	0	1		
0	1	0	0	0		
1	0	0	0	0		
0	1	0	1	1		
1	0	0	1	1		
0	1	0	1	0		
1	0	0	1	0		
0	1	1	0	1		
1	0	1	0	1		
0	1	1	0	0		
1	0	1	0	0		
0	1	1	1	1		
1	0	1	1	1		
0	1	1	1	0		
1	0	1	1	0		

4.2. Используя схему внутренней структуры синхронного **RS** -триггера показать порядок срабатывания элементов триггера при действии на входе **C** уровня лог. «0» и лог. «1» (по заданию преподавателя).



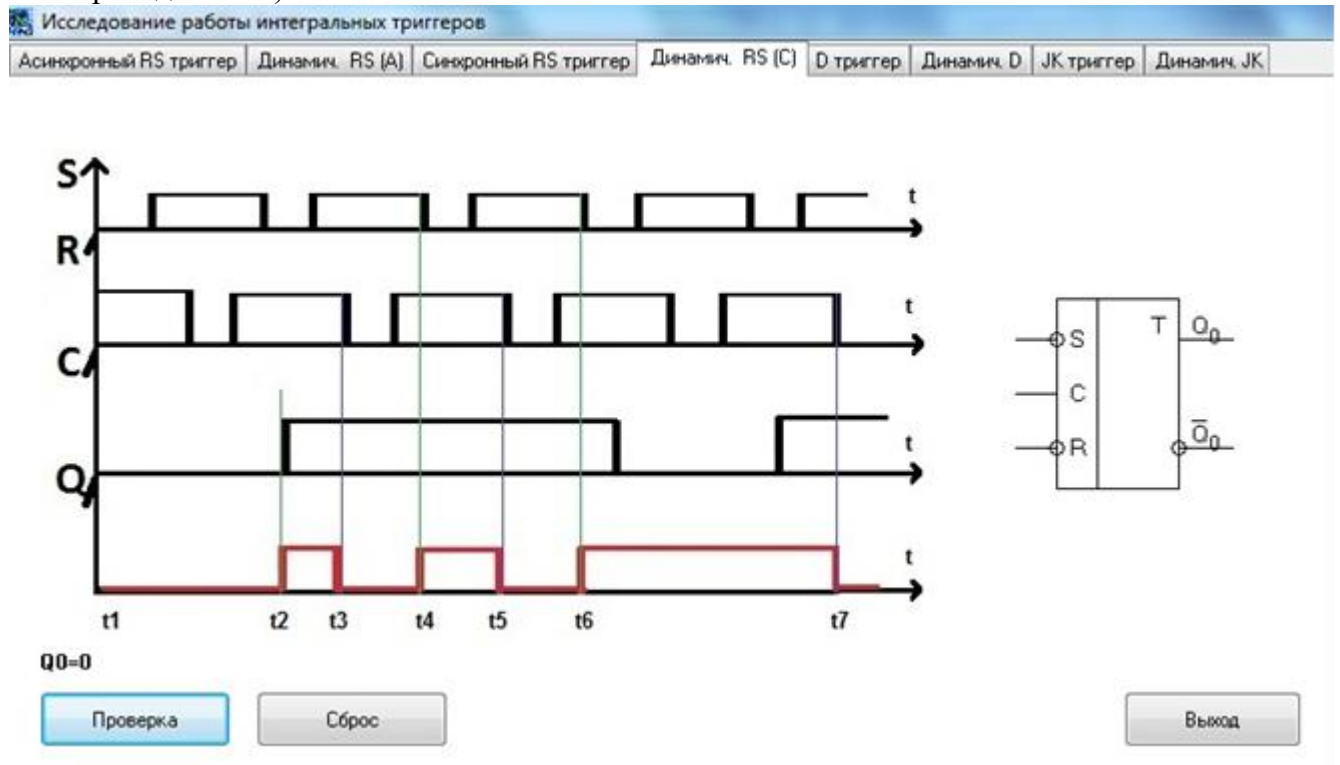
Проверка

Сброс

Выход

2.2. Получить и перенести графики динамического режима работы синхронного **RS** - триггера в отчет по лабораторной работе:

2.3. На графиках временных диаграмм работы синхронного **RS** -триггера показать временной интервал, соответствующий действию определенных входных сигналов кода (по заданию преподавателя).



3. Исследование работы D-триггера

3.1. Выполнить проверку состояний синхронного **D**-триггера

– Исходное состояние триггера устанавливать на выходах триггера (в «0» состоянии $Q_0 = 0, \bar{Q}_0 = 1$, в «1» состоянии $Q_0 = 1, \bar{Q}_0 = 0$);

– Входные сигналы подавать на входы **D** и **C**;

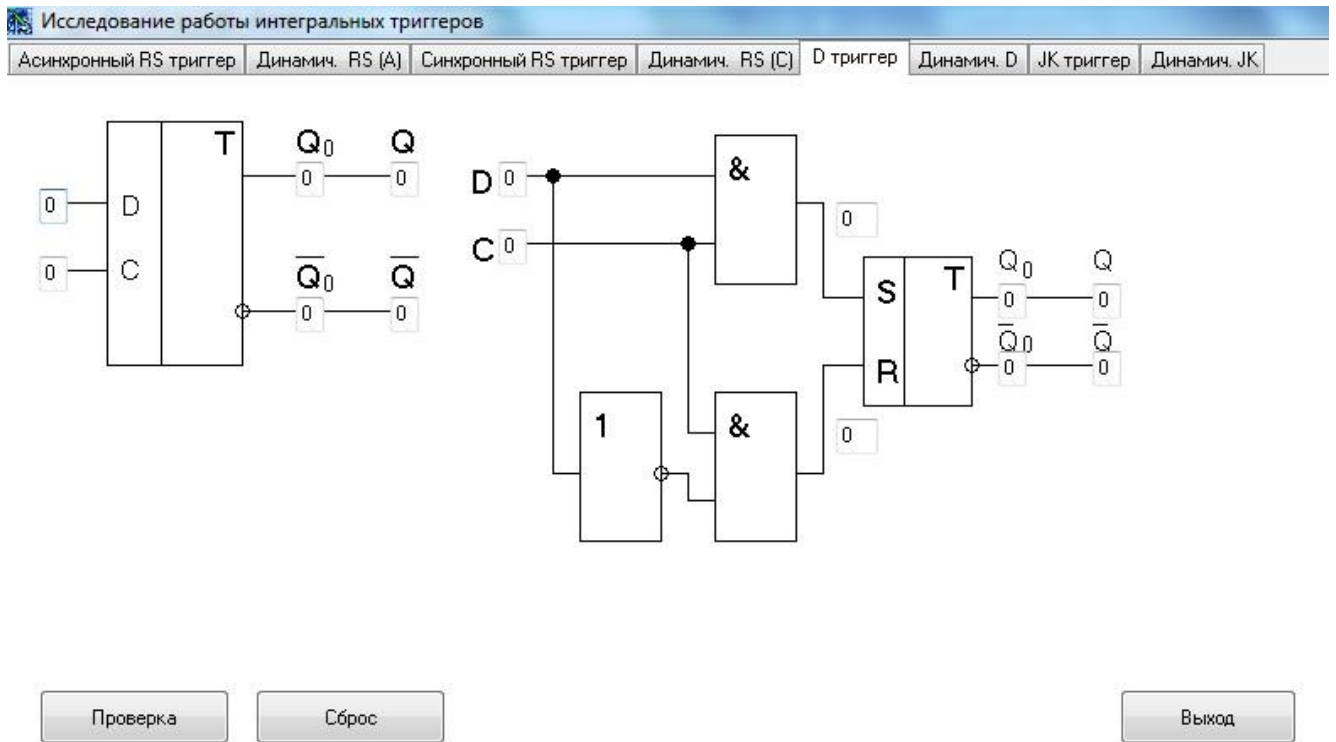
– Новое состояние фиксировать по выходам **Q** и \bar{Q} ;

– Результаты записать в таблицу 3.

Таблица 3. Состояния синхронного **D** – триггера

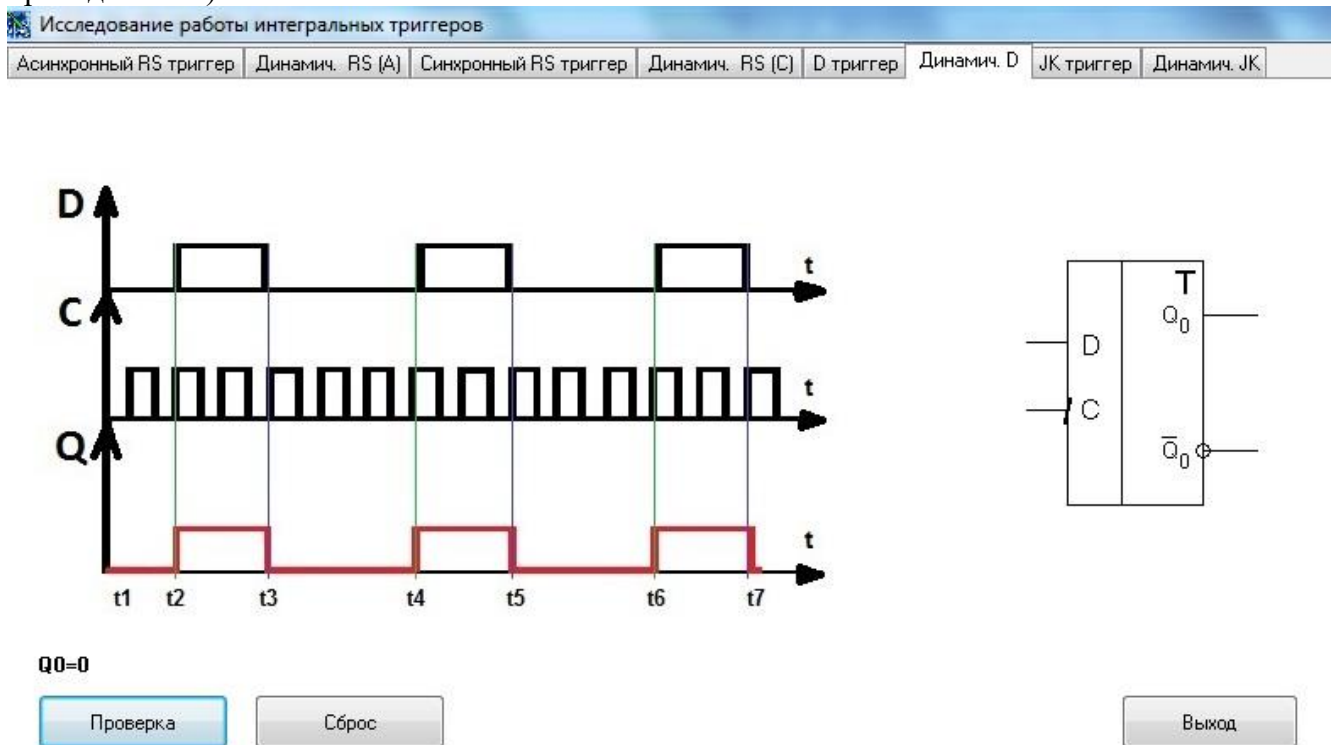
Исходное состояние		Входные сигналы		Следующее состояние	
Q_0	\bar{Q}_0	D	C	Q	\bar{Q}
0	1	0	1		
1	0	0	1		
0	1	0	0		
1	0	0	0		
0	1	1	1		
1	0	1	1		
0	1	1	0		
1	0	1	0		

3.2. Используя схему внутренней структуры **D** –триггера показать порядок срабатывания элементов триггера при действии на входе **C** уровня лог «0» и лог. «1» (по заданию преподавателя).



3.3. Получить и перенести графики динамического режима работы синхронного D-триггера в отчет по лабораторной работе:

3.4. На графиках временных диаграмм работы синхронного D-триггера показать временной интервал, соответствующий действию определенных входных сигналов кода (по заданию преподавателя).



4. Исследование работы JK-триггера

4.1. Выполнить проверку состояний синхронного JK-триггера

– Исходное состояние триггера устанавливать на выходах триггера (в «0» состоянии $Q_0 = 0$, $\overline{Q}_0 = 1$, в «1» состоянии $Q_0 = 1$, $\overline{Q}_0 = 0$);

– Входные сигналы подавать на входы **J** и **K** (на входе C должен действовать прямоугольный импульс);

– Новое состояние фиксировать по выходам Q и \overline{Q} ;

– Результаты записать в таблицу 4.

Таблица 4. Состояния синхронного JK-триггера (на входе C должен действовать пря-

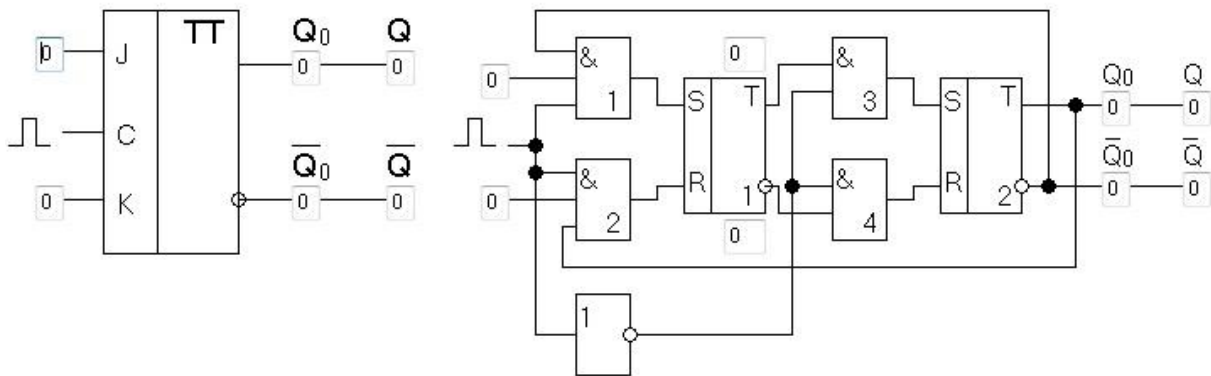
моугольный импульс)

Исходное состояние		Входные сигналы		Следующее состояние	
Q_0	$\overline{Q_0}$	J	K	Q	\overline{Q}
0	1	0	0		
1	0	0	0		
0	1	0	1		
1	0	0	1		
0	1	1	0		
1	0	1	0		
0	1	1	1		
1	0	1	1		

4.2. Используя схему внутренней структуры **JK** –триггера показать порядок срабатывания элементов триггера при действии «Такта 1» и «Такта 2» (по заданию преподавателя)

Исследование работы интегральных триггеров

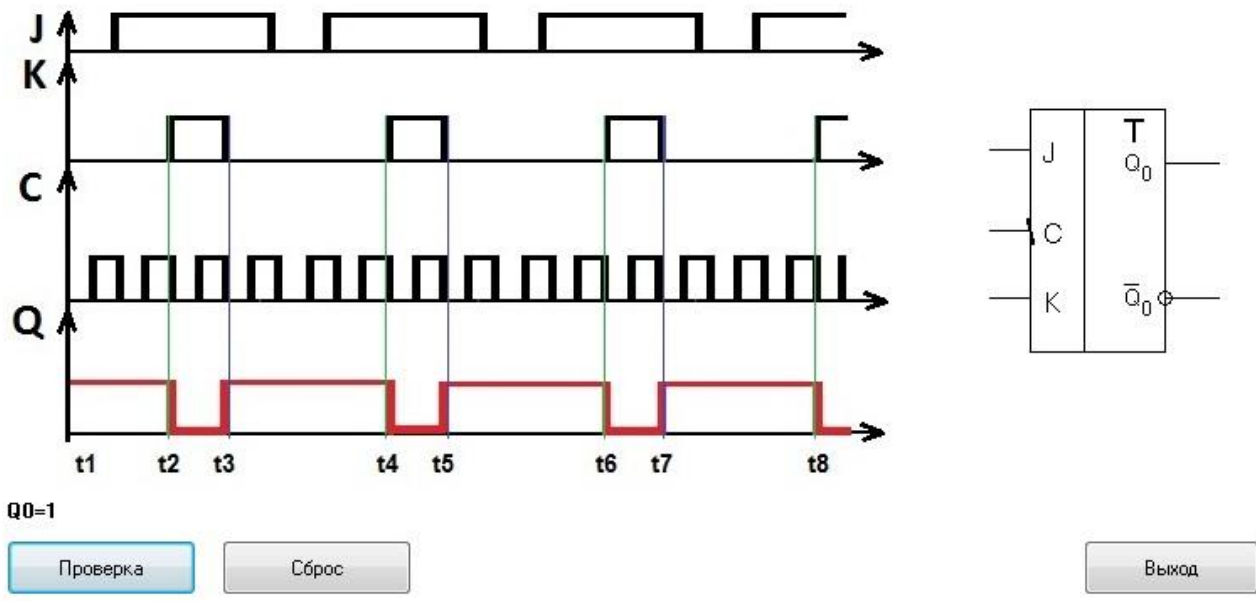
Асинхронный RS триггер Динамич. RS (A) Синхронный RS триггер Динамич. RS (C) D триггер Динамич. D **JK триггер** Динамич. JK



Проверка Сброс Такт 1 Такт 2 Сброс Выход

4.3. Получить и перенести графики динамического режима работы синхронного **JK** - триггера в отчет по лабораторной работе:

4.4. На графиках временных диаграмм работы синхронного **JK** -триггера показать временной интервал, соответствующий действию определенных входных сигналов кода (по заданию преподавателя).



5. Сделать выводы по работе.
6. Оформить отчет.
7. Ответить на контрольные вопросы

Контрольные вопросы.

1. Привести функциональное обозначение и таблицу функционирования асинхронного RS – триггера с прямыми входами.
2. Привести функциональное обозначение и таблицу функционирования асинхронного RS – триггера с инверсными входами.
3. Привести функциональное обозначение и таблицу функционирования синхронного RS - триггера.
4. Привести функциональное обозначение и таблицу функционирования синхронного D - триггера.
5. Привести функциональное обозначение и таблицу функционирования универсального JK - триггера.
6. Привести функциональное обозначение и таблицу функционирования T – триггера.
7. Пояснить назначение выводов и принцип работы всех этих триггеров.

Лабораторная работа № 8

Тема: «Исследование работы регистра»

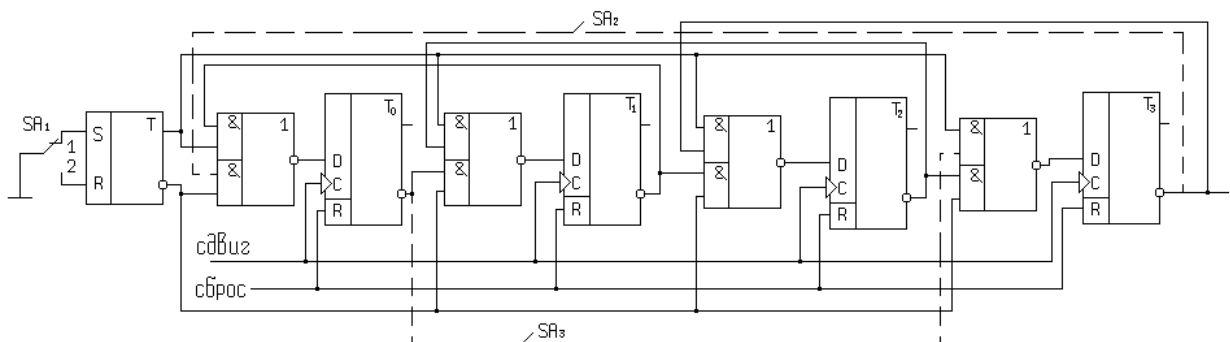
Цель работы: Исследовать работу регистра сдвига, научиться строить диаграммы состояния регистра, осуществлять контроль работы в статистическом и динамическом режимах.

Приборы: Виртуальный лабораторный практикум.

Краткие теоретические сведения

Регистр служит для хранения двоичных чисел. В нем также может выполняться сдвиг числа влево и вправо.

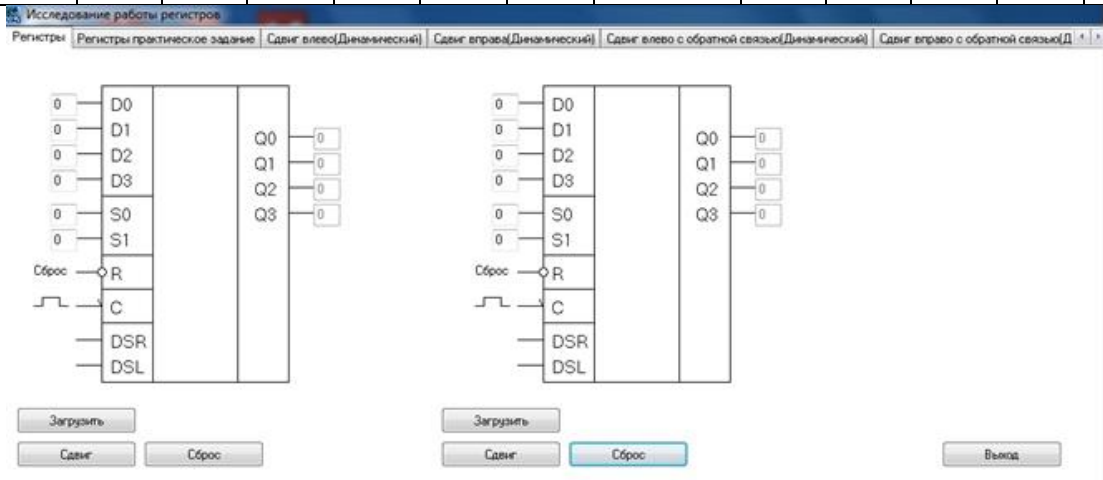
Схема последовательного сдвигающего регистра.



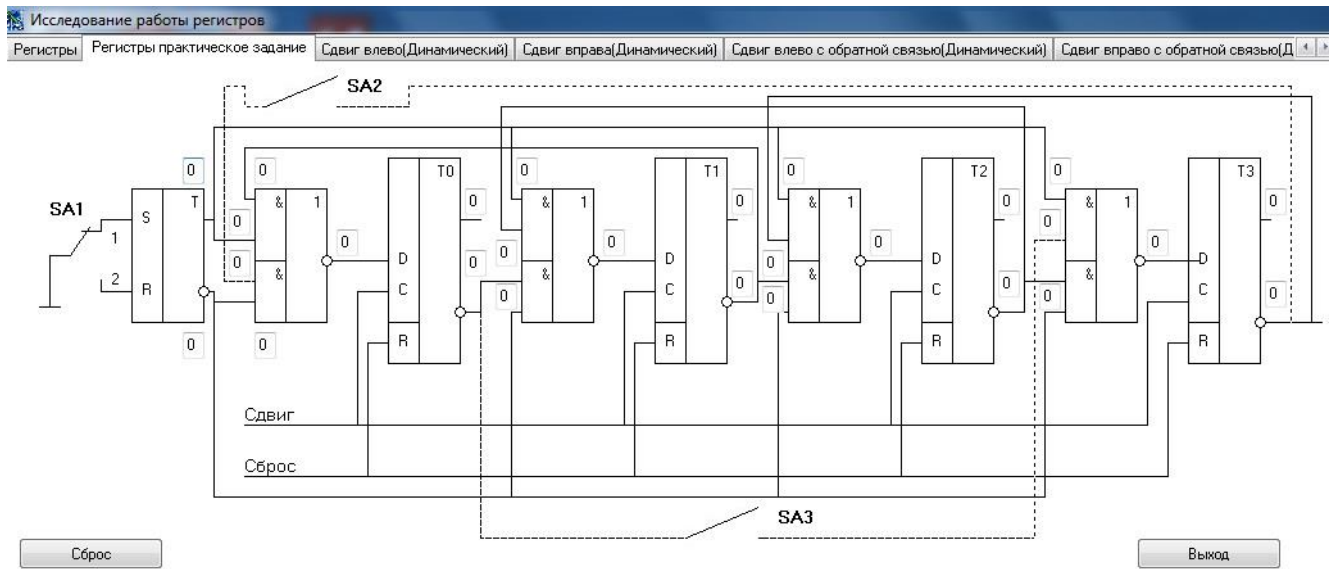
Загрузка							Загрузка							
Число сдв. имп.							Число сдв. имп.							
1							1							
2							2							
3							3							
4							4							
5							5							
6							6							
7							7							

Таблица 1. Состояния сдвигающего регистра (с обратной связью)

Сдвиг вправо							Сдвиг влево						
	S0	S1	Q0	Q1	Q2	Q3		S0	S1	Q0	Q1	Q2	Q3
Загрузка							Загрузка						
Число сдв. имп.							Число сдв. имп.						
1							1						
2							2						
3							3						
4							4						
5							5						
6							6						
7							7						



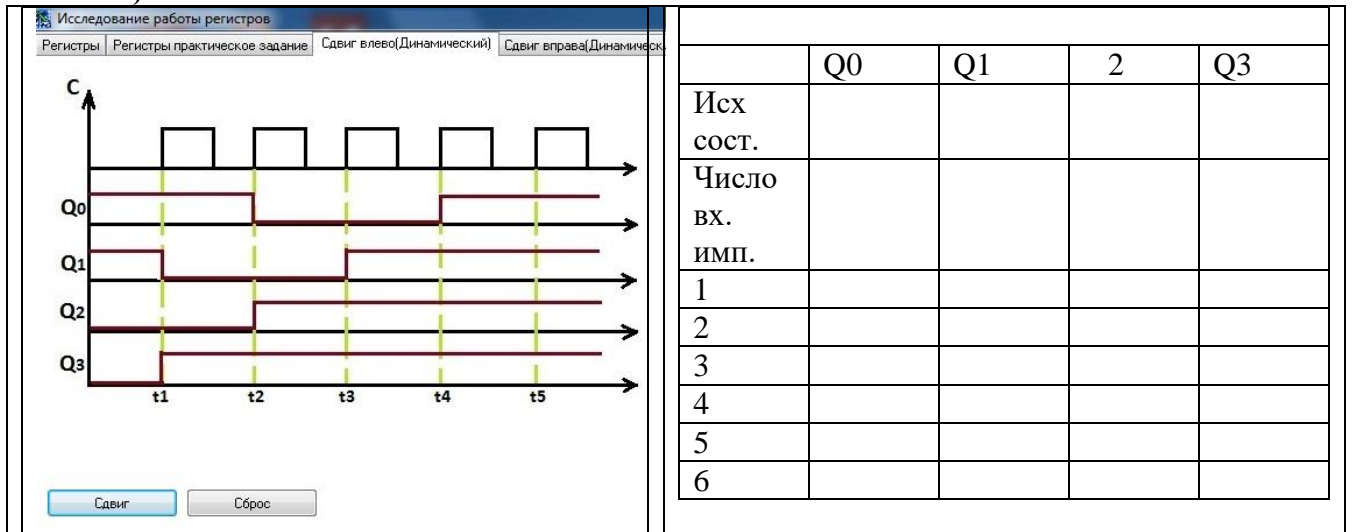
1.2. Используя схему внутренней структуры регистра показать срабатывание его элементов в различных режимах работы (по заданию преподавателя).



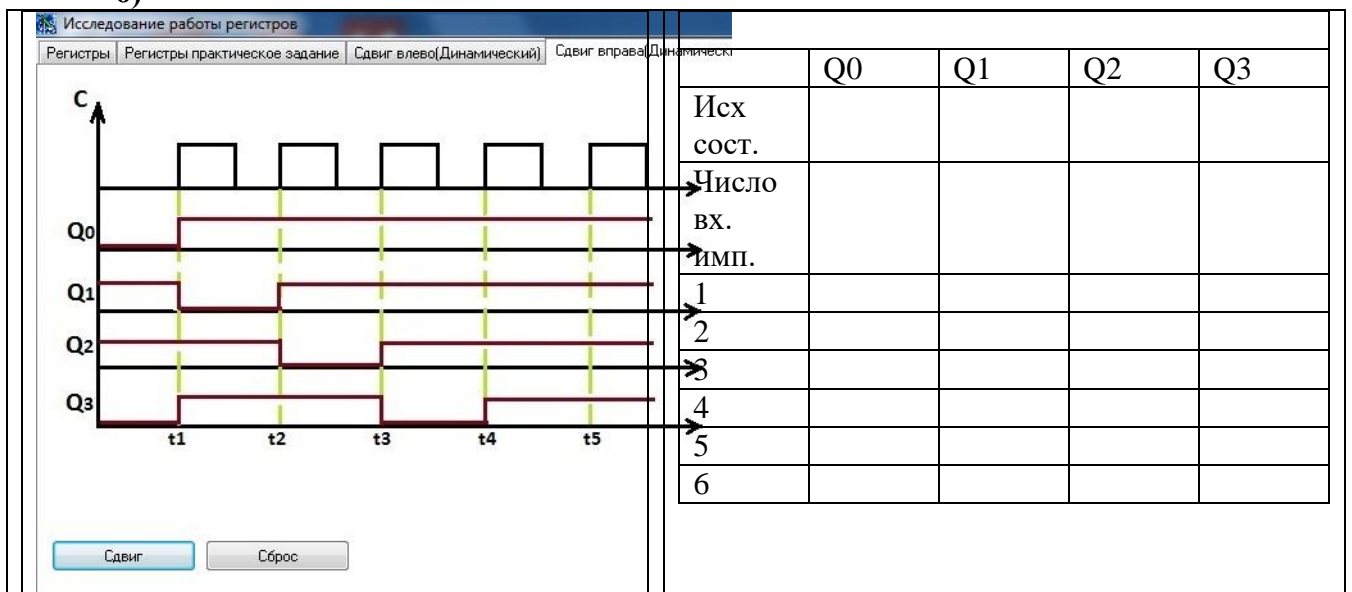
1.3. Получить и перенести графики динамического режима работы регистра в отчет по лабораторной работе:

1.4. По графикам временных диаграмм определить режим работы регистра и заполнить таблицы состояний.

а)



б)



в)

Исследование работы регистров

Регистры | Регистры практического задания | Сдвиг влево(Динамический) | Сдвиг вправо(Динамический)

	Q0	Q1	Q2	Q3
СХ				
УСТ.				
ИСЛО				
ζ.				
МП.				

Сдвиг Сброс

г)

Исследование работы регистров

Сдвиг влево(Динамический) | Сдвиг вправо(Динамический) | Сдвиг влево с обратной связью(Динамический)

	Q0	Q1	Q2	Q3
СХ				
УСТ.				
ИСЛО				
ζ.				
МП.				

Сдвиг Сброс

2. Сделать выводы по работе.
3. Оформить отчет.
4. Ответить на контрольные вопросы

Контрольные вопросы.

1. Пояснить назначение и виды регистров.
2. Привести функциональное обозначение регистра К155ИР11. Пояснить назначение выводов.
3. Пояснить режимы работы регистра (на конкретных примерах).
4. Начертить схему сдвигающего регистра. Пояснить назначение элементов и цепей.
5. Пояснить принцип работы сдвигающего регистра (на конкретном примере).

Лабораторная работа № 9

Тема: Исследование работы счетчиков.

Цель: Исследовать работу суммирующих и вычитающих двоичных счетчиков. Уметь строить диаграммы состояний счетчиков и осуществлять контроль работы счетчиков в статическом и динамическом режимах.

Приборы: Виртуальный лабораторный практикум

Краткие теоретические сведения.

Счетчики.

Счетчик – устройство, выполняющее в двоичной системе счет импульсов поступивших на его вход. Счетчик состоит из триггеров, у которых организуется счетный вход, и логических элементов для организации различных режимов работы и передачи переносов от младших раз-

рядов к старшим. Счетчики бывают суммирующие, вычитающие и реверсивные.

Реверсивный двоичный счетчик.

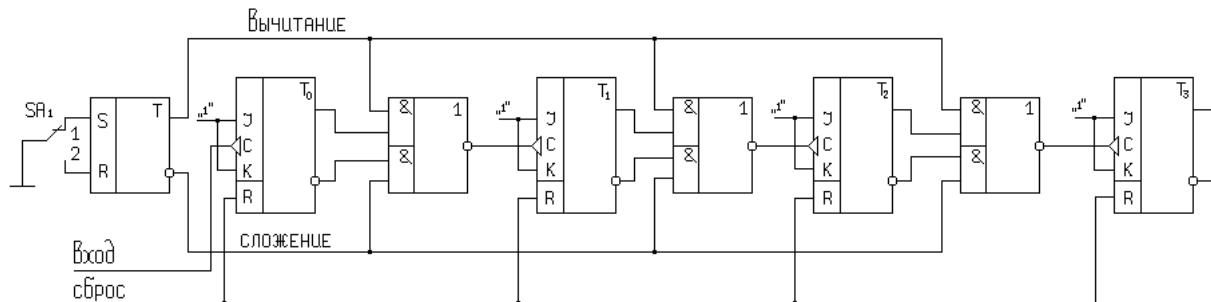


Схема состоит из RS – триггера, который служит для выбора режима счета и JK – триггеров, которые служат для запоминания отдельных разрядов двоичного числа.

В JK-триггерах входы J и K объединены и на них действует логическая «1», а вход C используется как счетный вход. Так же как в регистре входы R образуют цепь сброса, а входные импульсы поступают на вход C триггера T0.

Если переключатель SA в положении «1», то RS – триггер в нулевом состоянии и в схеме выполняется сложение. Если SA в положении «2», то RS – триггер в единичном состоянии и в схеме выполняется вычитание.

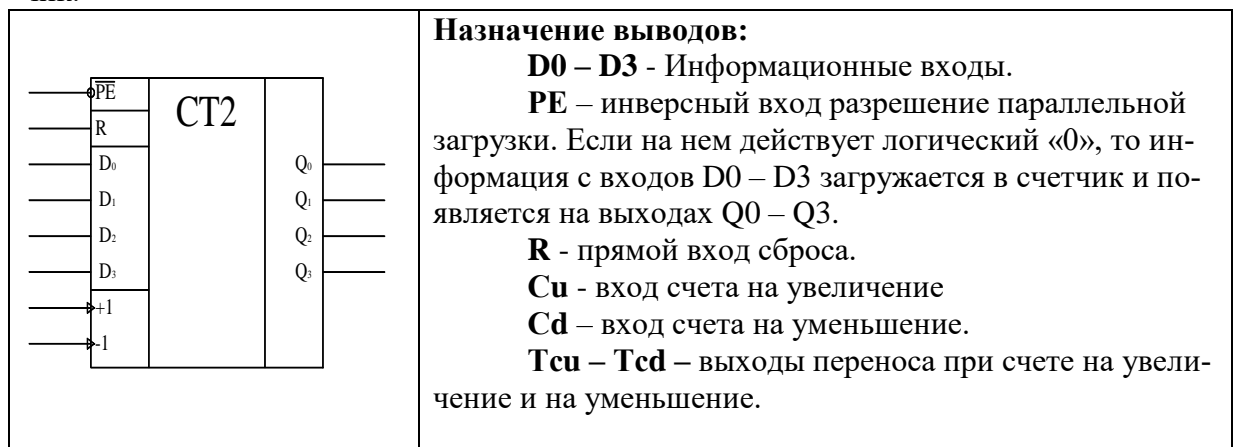
Выходы схем, «2и-или-не» соединены со входами C триггеров T1, T2, T3. Прямой выход RS – триггера и прямые выходы JK – триггеров соединены с верхними элементами «и» схем «2и-или-не», инверсный выход RS – триггера и инверсные выходы JK – триггеров соединены с нижними элементами «и» схем «2и-или-не».

Чтобы определить в какое состояние перейдет счетчик после поступления импульса на его вход необходимо:

1. Исходное состояние счетчика показать на прямых и инверсных выходах JK – триггеров.
2. Задать режим счета с помощью RS – триггера.
3. Указать логические уровни на всех входах схем «2и-или-не».
4. Определить логические уровни на выходах схем «2и-или-не».
5. При подаче импульса на вход счетчика триггер T0 всегда меняет свое состояние на противоположное, T1, T2, T3 меняют свое состояние на противоположное, если на входе C произойдет отрицательный перепад напряжения, в остальных случаях состояния триггеров не изменятся.

Микросхема К155ИЕ7

Микросхема К155ИЕ7 представляет собой 4 – х разрядный реверсивный двоичный счетчик.



Порядок выполнения работы

1.1. Выполнить проверку функционирования реверсивного двоичного счетчика

- Исходное состояние счетчика устанавливать на выходах Q0, Q1, Q2, Q3,
- Входные сигналы подавать на входы D0, D1, D2, D3
- Режим загрузки задается уровнем лог. «0» на входе PE.
- Режим «сложения» выбирается по «Входу 1», режим «вычитания» выбирается по «Входу 2»,

- Состояние счетчика фиксировать по выходам Q_0, Q_1, Q_2, Q_3 ,
- Результаты записать в таблицу 1.

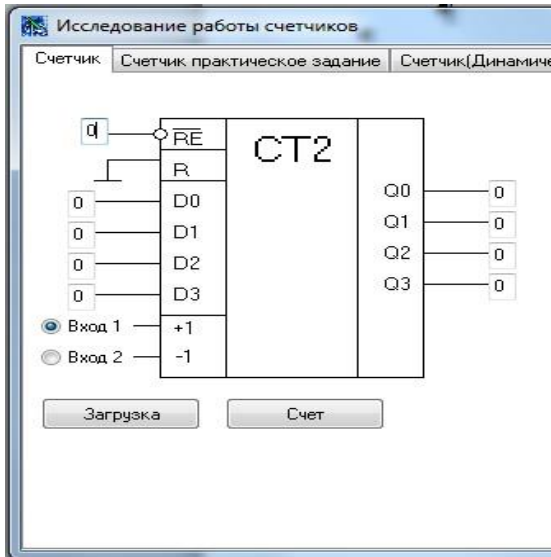
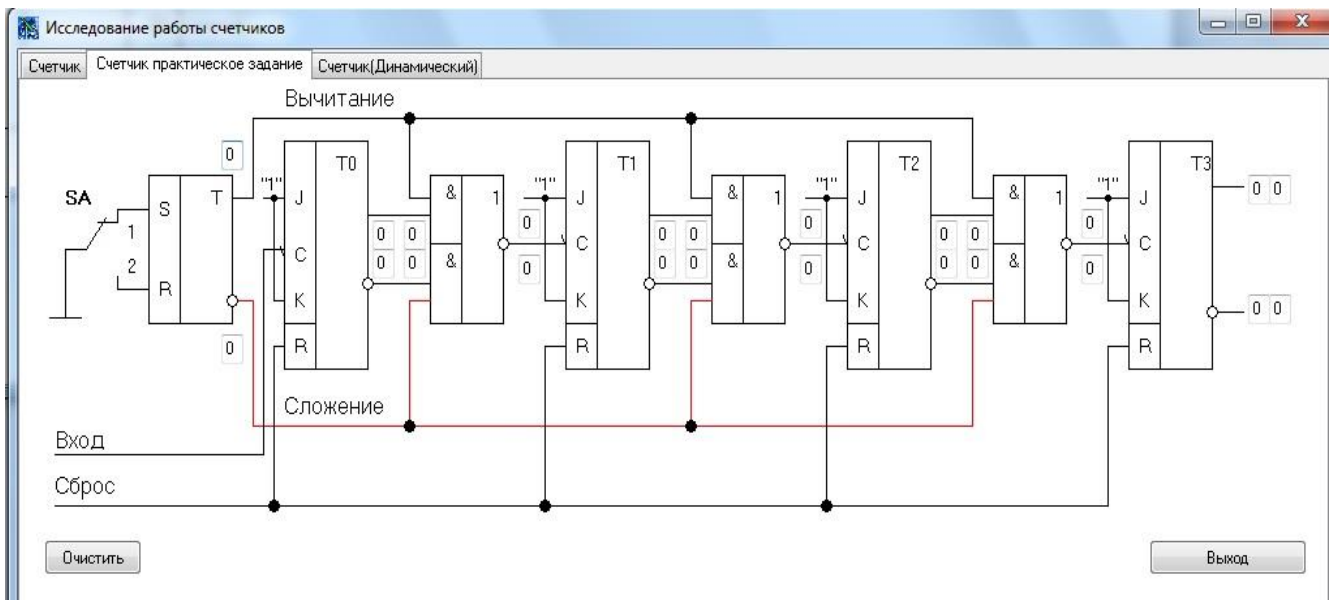


Таблица 1. Состояния реверсивного счетчика

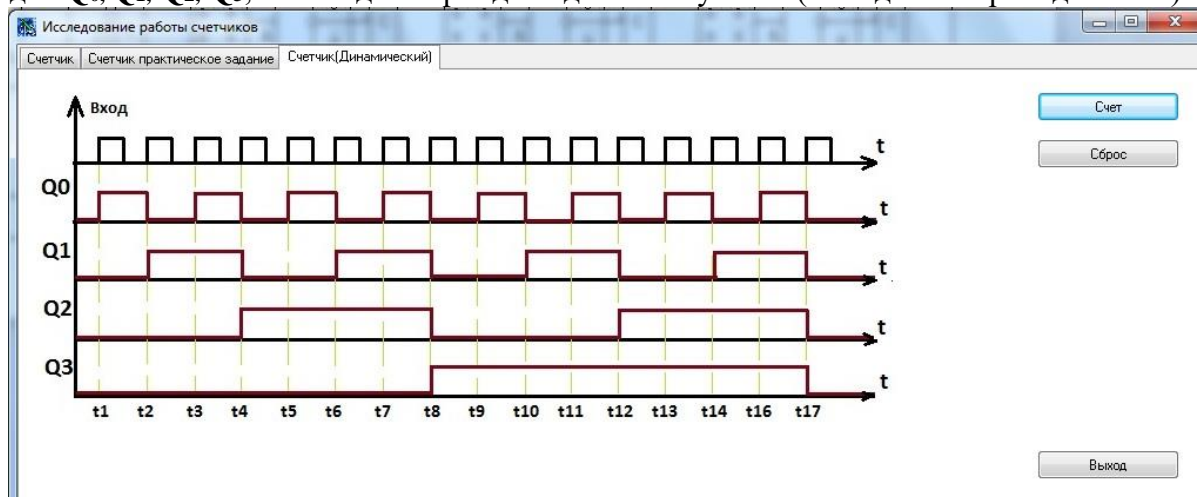
Число входных импульсов	Режим сложения				Режим вычитания			
	Q_3	Q_2	Q_1	Q_0	Q_3	Q_2	Q_1	Q_0
Загрузка								
1								
2								
3								
4								
5								
6								
7								
8								
9								
10								
11								
12								
13								
14								
15								
16								

1.2. Используя схему внутренней структуры счетчика показать срабатывание его элементов в различных режимах работы (по заданию преподавателя).



1.3. Получить и перенести графики динамического режима работы счетчика в отчет по лабораторной работе:

1.4. По временным диаграммам определить период и частоту следования импульсов на выходах Q_0, Q_1, Q_2, Q_3 , если задан период входных импульсов. (по заданию преподавателя)..



2. Сделать выводы по работе.
3. Оформить отчет.
4. Ответить на контрольные вопросы

Контрольные вопросы.

1. Пояснить назначение и виды счетчиков.
2. Привести функциональное обозначение счетчика K155IE7. Пояснить назначение выводов.
3. Как определить период циклической работы счетчика и количество импульсов, которое он может сосчитать.
4. Пояснить режимы работы счетчика (на конкретных примерах).
5. Начертить схему реверсивного счетчика. Пояснить назначение элементов и цепей.
6. Пояснить принцип работы реверсивного счетчика (на конкретном примере).

Лабораторная работа № 10

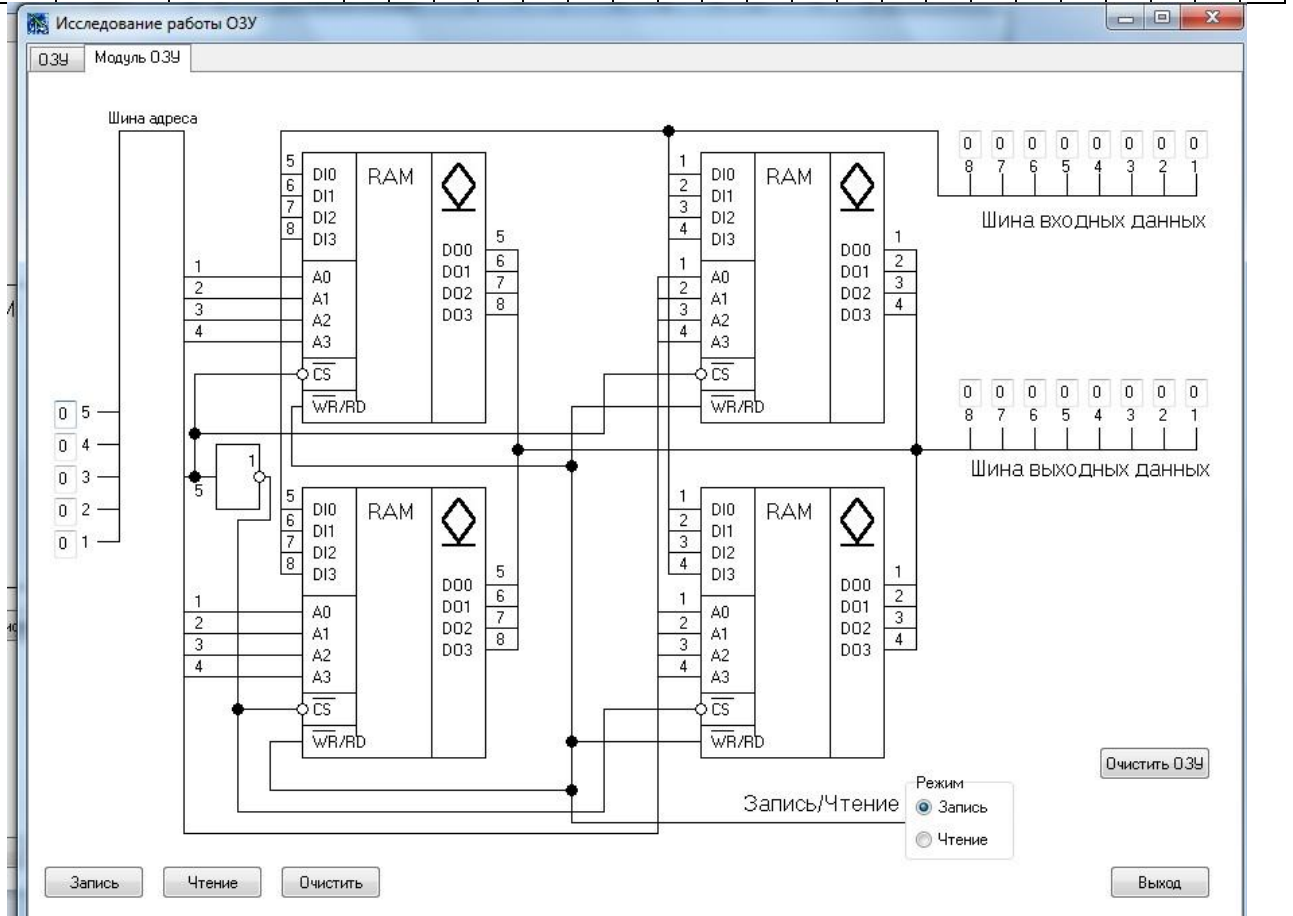
Тема: Исследование работы ОЗУ

Цель работы: изучить работу ОЗУ на примере ИС K155PY2.

Приборы: Виртуальный лабораторный практикум.

Краткие теоретические сведения

Микросхема K155PY2- высокоскоростное ОЗУ с емкостью 64 бит. Данные в ОЗУ можно записывать и считывать. При считывании информации из ОЗУ она не разрушается. Ячейки в памяти организованы в матрицу RAM, имеющую 16 рядов и 4 колонки, что соответствует логической организации 16 слов по 4 бита каждое. Матрица снабжена адресным дешифратором DC, который принимает четырехразрядный код адреса A0-A3 и выбирает с помощью одного из сво-



9. Сделать выводы.

10. Оформить отчет.

11 Ответить на контрольные вопросы

Контрольные вопросы:

1. Основные технические данные ИС К155РУ2.
2. Функционирование ИС К155РУ2.
3. Привести функциональное обозначение ИС ЗУ. Пояснить назначение выводов.
4. Структурная схема ОЗУ.
5. Объяснить режим считывания в ОЗУ.
6. Объяснить режим записи в ОЗУ.
7. Постоянное запоминающее устройство.

Лабораторная работа № 11

Тема: «Исследование модели МПС».

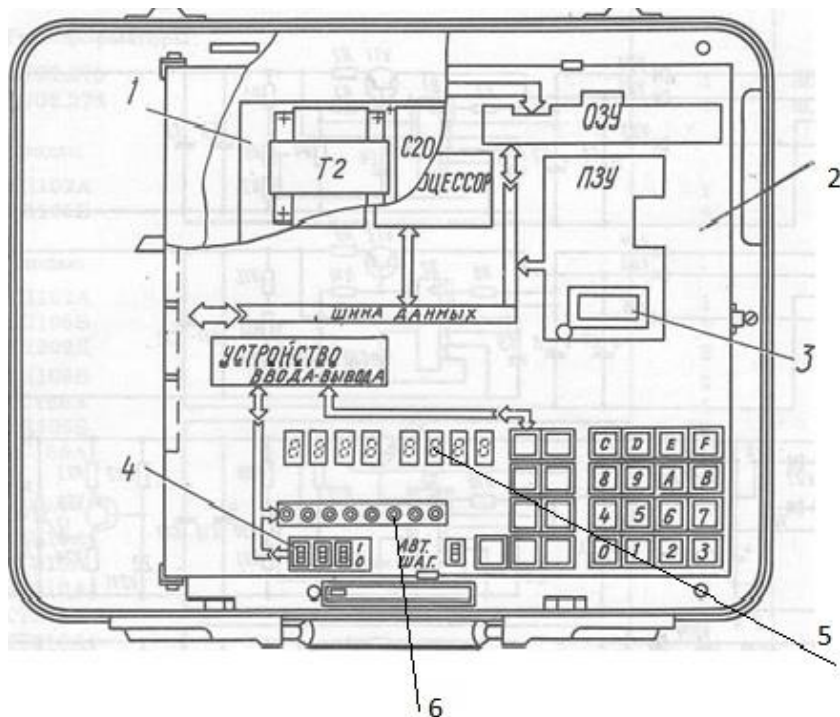
Цель работы: Исследовать выполнение отдельных команд и линейных программ. Научиться использовать различные методы адресации в программах.

Приборы: Микролаб КР580ИК80

Прибор «Микролаб КР580ИК80»

1. Технические данные

Прибор является одноплатной микропроцессорной системой с шинной структурой.



Расположение узлов: 1— блок комбинированный; 2 — узел печатный; 3— контакт; 4 — переключатель движковый (устройство ввода); 5 — блок индикации; 6 — светодиоды (устройство вывода)

1. В качестве ЦП используется микропроцессор КР580ИК80А, имеющий фиксированную систему команд и способный работать при длительности такта от 400 нс до 2 мкс в зависимости от частоты задающего генератора, Время выполнения команд от 1,6 до 7,2 мкс при тактовой частоте, равной 2,5 МГц,

Прибор имеет три шины:

- шину данных разрядностью 8 бит;
- шину адреса разрядностью 16 бит;
- шину управления разрядностью 10 бит,

2. Память прибора включает:

ПЗУ на двух ИС КР556РТ5 суммарной емкостью 1 килобайт (1024x8), которая может быть расширена на 0,5 килобайта установкой дополнительного кристалла КР556РТ5 в специальный адаптер, имеющийся на плате прибора. Адреса основного ПЗУ — 0000—03FF, дополнительного — 0400— 05FF;

запоминающее устройство с произвольной выборкой на восьми ИС К565РУ2 в качестве оперативной памяти (ОЗУ), емкость ОЗУ — 1 килобайт, адреса 8000—83 FF.

3. Ввод/вывод информации от внешних устройств осуществляется через программируемый интерфейс КР580ИК55,

В приборе предусмотрена имитация внешних датчиков и приемников информации. В качестве датчиков параллельного кода введены три ключа, формирующие ТТЛ уровни. Приемниками параллельной информации являются восемь светодиодных индикаторов. В качестве приемника последовательной информации используется динамик.

4. Для связи с оператором прибор имеет клавиатуру ручного ввода и внутренний дисплей. Вводимая и выводимая информация представлена в шестнадцатеричной системе отчисления,

5. Прибор обеспечивает следующие режимы и функции:

- автоматический режим выполнения программ;
- шаговый режим;
- сброс и инициализацию системы монитором при включении питания при поступлении сигнала СБРОС от соответствующей клавиши на плате прибора;
- ручной ввод информации в ОЗУ с клавиатуры;
- автоматический вывод данных из ОЗУ на дисплей;
- контроль и коррекцию записанной информации;
- выполнение программы, начиная с любой точки;
- прерывание программы в любой заданной точке;

- индикацию на индикаторном табло содержимого аккумулятора ЦП и флагов состояний при останове программы во время выполнения ее в шаговом режиме или в режиме прерывания;
- коррекцию содержимого аккумулятора, флагов, регистров общего назначения ЦП в любом шаге выполнения программы;
- повторный запуск по таблице переходов по прерываниям, подаваемым на прибор с внешних устройств,

6. Питание: сеть переменного тока напряжением (220 ± 22) В, частотой $(50 \pm 0,5)$ Гц и содержанием гармоник до 5 %,

Мощность, потребляемая от сети при номинальном напряжении — не более 70 В*А.

2. Устройство и работа прибора

Принцип работы прибора заключается в том, что программы пользователя, записанные в машинных кодах ЦП КР580ИК80А, загружаются во внутреннюю память прибора, хранятся там и исполняются под управлением монитора системы в автоматическом режиме на рабочей частоте и в шаговом режиме, позволяющем производить ее выполнения на любом шаге. Структурная схема прибора приведена на рис. 2,

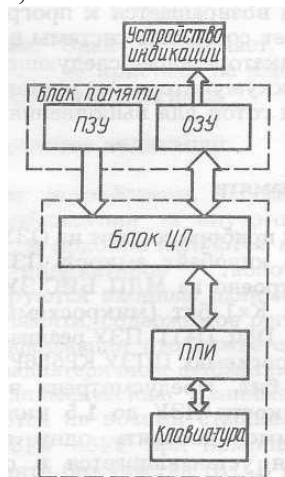


Рис. 2. Схема структурная прибора

Прибор строится на основе микросхем микропроцессорного набора КР580. В ее состав входят блок ЦП, основным элементом которого является восьмиразрядный микропроцессор КР580ИК80, выполняющий обработку данных, блок памяти, включающий в себя ОЗУ и ПЗУ.

ОЗУ используется для хранения программы пользователя и для определения рабочей области монитора,

ПЗУ содержит закодированную в машинных кодах КР580ИК80 программу монитора, управляющую всеми элементами системы.

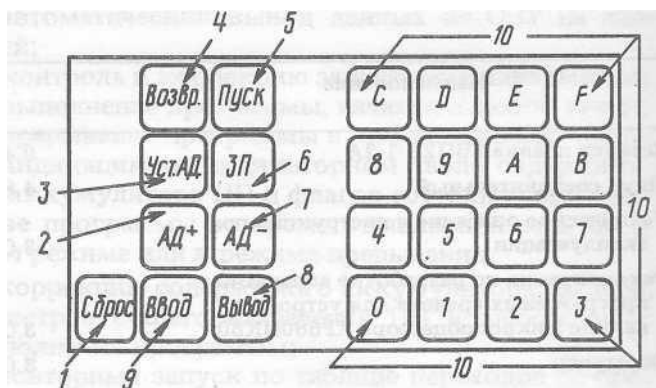
Для обеспечения связи оператора с прибором имеется устройство индикации, отображающее информацию о текущем адресе и данных в шестнадцатеричном коде на индикаторе, а также периферийное устройство-клавиатуру, служащую для ввода информации в ОЗУ и для управления операциями монитора.

Клавиатура сопряжена с системой через блок ППИ, реализованный на БИС КР580ВВ55, Через нее же осуществляется связь с внешним магнитофоном, датчиками кодов и динамиком.

3. Органы управления и контроля

Все органы управления прибора, кроме клавиши включения питания, расположены на плате.

Клавиатура



Назначение клавиш:

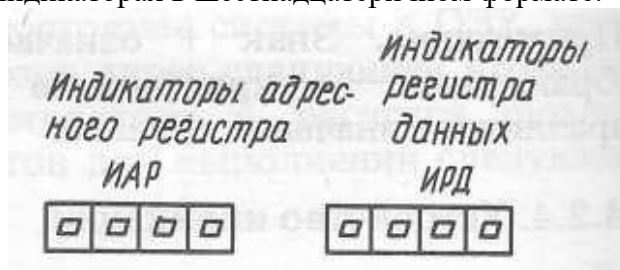
1. **СБРОС**. Кнопка — сброс системы и возврат к монитору в любой момент времени;
2. **АД+**. Кнопка — приращение адреса на 1 и считывание данных из памяти;
3. **УСТ. АД**. Кнопка — установка адреса и считывание данных из памяти;
4. **ВОЗВР**. Кнопка — возвращение к выполнению программы, начатой по команде ПУСК;
5. **ПУСК**. Кнопка — выполнение программы с индицируемого адреса;
6. **ЗП**. Кнопка — запись данных в память и приращение адреса на 1;
7. **АД-**. Кнопка — уменьшение адреса на 1 и считывание данных из памяти;
8. **ВЫВОД**. Кнопка — вывод данных из памяти на внешний магнитофон;
9. **ВВОД**. Кнопка — ввод данных из внешнего магнитофона в память системы;
10. **0-9, А- F**. Кнопки — ввод данных в шестнадцатеричном коде.

Такие данные могут включать один байт (две цифры) данных для записи в ОЗУ и 2 байта (четыре цифры) адресной информации для записи или считывания из памяти.

Для программы пользователя отводятся адреса с 8000 до 83С6

4. Устройство индикации

Выходным устройством, служащим для визуального наблюдения за внутренним состоянием системы, в приборе являются восемь восьмисегментных индикаторов. На них индицируются входные данные, адреса памяти, данные памяти, содержимое регистров и флагов ЦП. Информация отображается на индикаторах в шестнадцатеричном формате.



Функции клавиш данных

Все шестнадцатеричные данные, используемые для работы монитора, вводятся в систему через 16 клавиш данных клавиатуры (0 — F) и высвечиваются на четырех правых индикаторах (индикаторах регистра данных). При последующем нажатии на клавишу данных все цифры сдвигаются на одну. Если вводится более четырех цифр, то предшествующие данные стираются и остаются последние четыре цифры.

При нажатии на кнопку **УСТ.АД**, четыре цифры шестнадцатеричных данных, индицируемые на ИРД, устанавливаются в ИАР (индикаторах адресного регистра). Данные из ячейки памяти с адресом, соответствующим ИАР, высвечиваются в двух крайних правых позициях ИРД. Предшествующие им две цифры сдвигаются на две позиции влево.

При нажатии на кнопку **АД+** адрес, высвечиваемый на ИАР, увеличивается на единицу, Данные из памяти, соответствующие новому адресу, индицируются крайними двумя цифрами ИРД.

При нажатии на кнопку **ЗП** две цифры данных (один байт), высвечиваемых на крайних правых индикаторах ИРД, записываются в ячейку памяти, адрес которой в данный момент высвечивается на ИАР. Затем этот адрес приращивается на единицу и данные, записанные по этому новому адресу, высвечиваются в двух младших разрядах ИРД. Данные, записанные по начальному адресу, сдвигаются влево на две позиции.

При нажатии на кнопку **ПУСК** начинается выполнение программы пользователя с адреса, который должен указывать ту ячейку памяти, в которой хранится первый байт команды.

Переключатель **ШАГ-АВТ** используется для выбора одного из этих режимов работы.

Состояние внутренних регистров МП продублировано в ячейках памяти.

Ниже приведено соответствие регистров МП и адресов ячеек памяти.

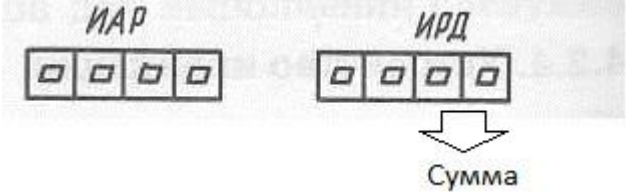
Адрес	Регистр	Адрес	Регистр
83ЕВ	А	83Е5	Н
83ЕА	Флаговый	83Е4	L
83Е9	В	83Е3	SP (Старший байт)
83Е8	С	83Е2	SP (Младший байт)
83Е7	Д	83Е1	PS (Старший байт)

Задача. Рассмотрим простейшую программу сложения двух чисел, хранящихся в соседних ячейках оперативной памяти с номерами 8020, 8021. Результат поместить в ячейку памяти с номером 8022.

<p>1. Блок - схема программы</p> <pre> graph TD HL[HL ← 8020] --> A[A ← (M)] A --> HL2[HL ← (HL)+1] HL2 --> A2[A ← (A)+(M)] A2 --> HL3[HL ← (HL)+1] HL3 --> M[M ← (A)] </pre>	<p>2. Размещение программы по адресам памяти</p> <table border="1"> <thead> <tr> <th>Адрес</th> <th>Команда</th> <th>Содержимое ячейки ОП</th> </tr> </thead> <tbody> <tr> <td>8000</td> <td>LXI H, 8020</td> <td>21</td> </tr> <tr> <td>8001</td> <td></td> <td>20</td> </tr> <tr> <td>8002</td> <td></td> <td>80</td> </tr> <tr> <td>8003</td> <td>MOV A,M</td> <td>7E</td> </tr> <tr> <td>8004</td> <td>INX H</td> <td>23</td> </tr> <tr> <td>8005</td> <td>ADD M</td> <td>86</td> </tr> <tr> <td>8006</td> <td>INX H</td> <td>23</td> </tr> <tr> <td>8007</td> <td>MOV M,A</td> <td>77</td> </tr> </tbody> </table>	Адрес	Команда	Содержимое ячейки ОП	8000	LXI H, 8020	21	8001		20	8002		80	8003	MOV A,M	7E	8004	INX H	23	8005	ADD M	86	8006	INX H	23	8007	MOV M,A	77
Адрес	Команда	Содержимое ячейки ОП																										
8000	LXI H, 8020	21																										
8001		20																										
8002		80																										
8003	MOV A,M	7E																										
8004	INX H	23																										
8005	ADD M	86																										
8006	INX H	23																										
8007	MOV M,A	77																										

3. Рассмотреть результат выполнения программы на конкретном числовом примере. Алгоритм выполнения программы:

- 8020 уст.АД. 1-ое слагаемое зап
- 8021 уст.АД. 2-ое слагаемое зап
- 8000 уст.АД. **ШАГ Пуск** (до адреса 8008)
- 8022 уст.АД.



В двух последних разрядах индикатора регистра данных (ИРД) индицируется сумма в шестнадцатеричном коде.

Контрольные вопросы:

- За сколько машинных тактов выполняется каждая команда в программе, разработанной по заданию?
- Укажите все возможные способы адресации?
- При выполнении каких команд задействуются разряды регистра состояния?
- Изобразите временные диаграммы процесса выполнения следующих команд LDA, SMA, STA, MOV, INX.

Лабораторная работа № 12

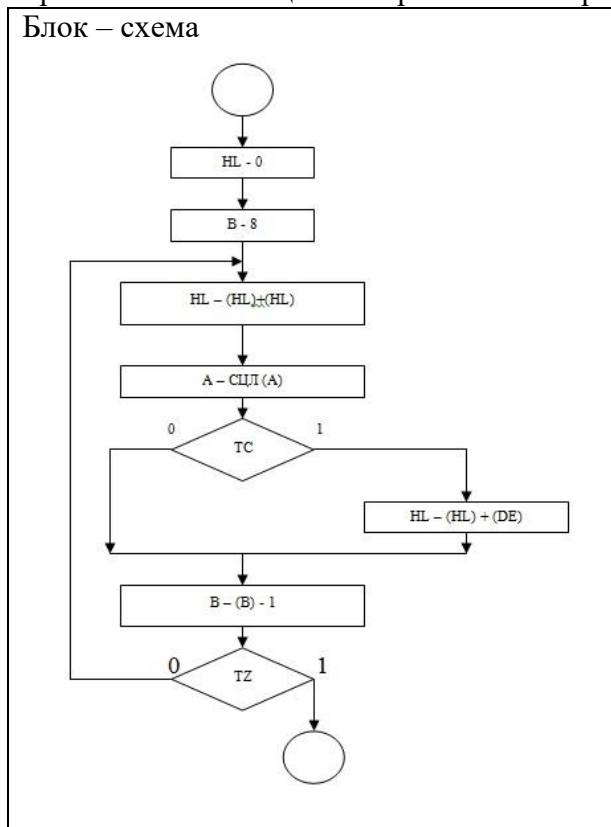
Тема: «Отладка и выполнение циклических программ»

Цель работы: Изучить организацию условных и безусловных переходов и циклов в Микро-ЭВМ. Научиться контролировать состояние аккумулятора и регистра флагов в пошаговом режиме.

Порядок выполнения работы:

- Изучить группу команд передачи управления
- Изучить назначение разрядов регистра признаков (флагов) и правила записи в них (1)
- Ознакомиться с правилами выполнения команды ДАА
- Задача

Составить программу умножения 2-х восьмиразрядных чисел без знака. Множитель находится в аккумуляторе. Множимое в паре регистров DE, где оно занимает регистр E. Произведение накапливается в паре регистров HL. Счетчик циклов организован в регистре B.



Размещение программы по адресам памяти

Адрес	Команда	Содержимое ячейки ОП	Выполняемая операция
8000	LXI H, 0	21	HL - 0
8001		00	
8002		00	
8003	MVI B, 8	06	B - 8
8004		08	
8005	DAD H	29	HL - (HL) + (HL)
8006	RLC	07	СЦЛ
8007	JNC 800B	D2	Tc = 0
8008		0B	
8009		80	
800A	DAD D	19	HL - (HL) + (DE)
800B	DCR B	05	B - (B) - 1
800C	JNZ 8005	C2	Tz = 0
800D		05	
800E		80	
800F	HLT	76	Останов

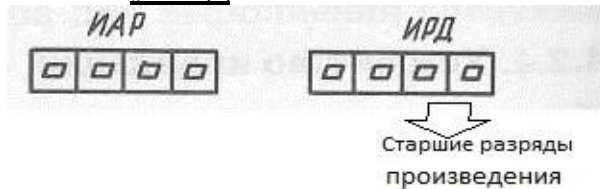
4.3. Выполнить программу в автоматическом режиме.

4.4. Рассмотреть результат выполнения программы на конкретном числовом примере.

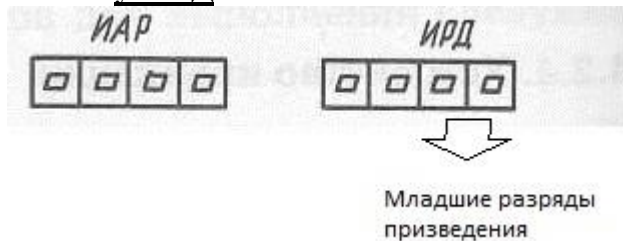
Алгоритм выполнения программы:

- 83E7 уст.АД. 00 зап
- 83E6 уст.АД. множимое зап
- 83EB уст.АД. множитель зап
- 8000 уст.АД. АВТ Пуск (1 раз) ШАГ

4. 83E5 уст.АД.



5. 83E4 уст.АД.



В двух последних разрядах индикатора регистра данных (ИРД) в ячейке 83E5 индицируются старшие разряды произведения, а в ячейке 83E4 индицируются младшие разряды произведения в шестнадцатеричном коде.

- 4.5. Исследовать программу, разработанную по заданию для домашней подготовки.
- 4.6. Исследовать процесс выполнения команды условного перехода по машинным циклам.
- 4.7. Изучить временные диаграммы команды условного перехода.
5. Сделать выводы по работе.
6. Оформить отчет. Отчет должен содержать: блок - схему, программу, записанную на языке Ассемблера и в машинных кодах (для вашего варианта задания), а также исследованную по машинным циклам команду условного перехода и временную диаграмму команды условного перехода.

Задание:

1. Из массива данных выбрать те, которые содержат (1) в пятом разряде.
2. Вычислить сумму однобайтных чисел. (Изменить количество слагаемых, изменить адрес результата.)
3. Вычислить разность однобайтных чисел. (Уменьшаемое больше вычитаемого и наоборот.)
4. Вычислить разность двухбайтных чисел. (Уменьшаемое больше вычитаемого и наоборот.)
5. Выполнить сложение однобайтных чисел с получением результатов в двоично-десятичном коде. (Изменить адрес результата. Возможна ли десятичная коррекция после вычитания.)
6. Выполнить деление двух восьмиразрядных чисел без знака (частное - целое число.)
7. Вычислить квадрат числа пользуясь таблицей квадратов:
 $1 * 1 = 1$
 $2 * 2 = 1 + 3 = 4$
 $3 * 3 = 1 + 3 + 5 = 9$
 $4 * 4 = 1 + 3 + 7 = 16$ и т.д.

8. Представить числа от 0 до 20 в двоично - десятичном коде.
9. В ячейках ОЗУ хранятся числа А и В. Вывести большее из чисел.
10. Вычислить

$$Z = \begin{cases} x - y & \text{при } x \geq 8, \\ x + y & \text{при } x < 8. \end{cases}$$

11. Вычислить

$$Z = \begin{cases} 3X + Y & \text{при } X \geq 10, \\ 5X - Y & \text{при } X < 10. \end{cases}$$

12. Вычислить

$$X + 2Y + 1 \text{ при } X > 5,$$

$$Z = \begin{cases} 2X - 3Y + 3 & \text{при } X \leq 5. \end{cases}$$

13. Вычислить

$$Z = \begin{cases} X + 1 & \text{при } x \geq 15, \\ X + Y & \text{при } x < 15 \end{cases}$$

14. Вычислить $Z = x + x^2 + x^3 + x^4$, пользуясь схемой Горнера для вычисления многочлена $Z = ((x+1) * x + 1) * x + 1) * x$

15. Загрузить константу 1000 в регистровую карту ВС. Выполнить в цикле вычитание до тех пор, пока в паре ВС не останется «0»

16. Вычислить сумму двухбайтовых чисел

Контрольные вопросы:

1. За сколько машинных циклов выполняются команды переходов.
2. Изобразите временные диаграммы процесса выполнения команды перехода.
3. Пояснить порядок выполнения команды ДАА.
4. Пояснить назначение разрядов регистров флагов.

Лабораторная работа 13

Тема: «Исследование интерфейса ввода/вывода МПС».

Цель работы: Исследовать методы подключения и организацию обмена информацией с простейшими устройствами ввода – вывода.

Приборы: Микролаб КР580ИК80

Порядок выполнения работы

1. В “Микролаб КР580ИК80” связь МП с внешними устройствами осуществляется через программируемый параллельный интерфейс (ППИ) КР580ВВ55. Микро ЭВМ имеет на передней панели 25 клавиш и переключатели режима работы, которые обеспечивают прямую связь с МП без дополнительных аппаратных средств. Клавиатура имеет матричную организацию, кроме кнопки “Сброс”.

Опрос и обработка ее кодов производится программой монитора с помощью микросхемы ППИ. ИС ППИ содержит 3 программируемых 8 разрядных шины ввода – вывода, соответствующие 3 портам и может работать в различных задаваемых программой режимах. В “Микролаб” ППИ устанавливается программой монитора в режим сканирования клавиатуры. Функционально этот режим обеспечивает следующую конфигурацию: две 8 разрядные шины (порт А и В) и две 4 разрядные шины (порт С)

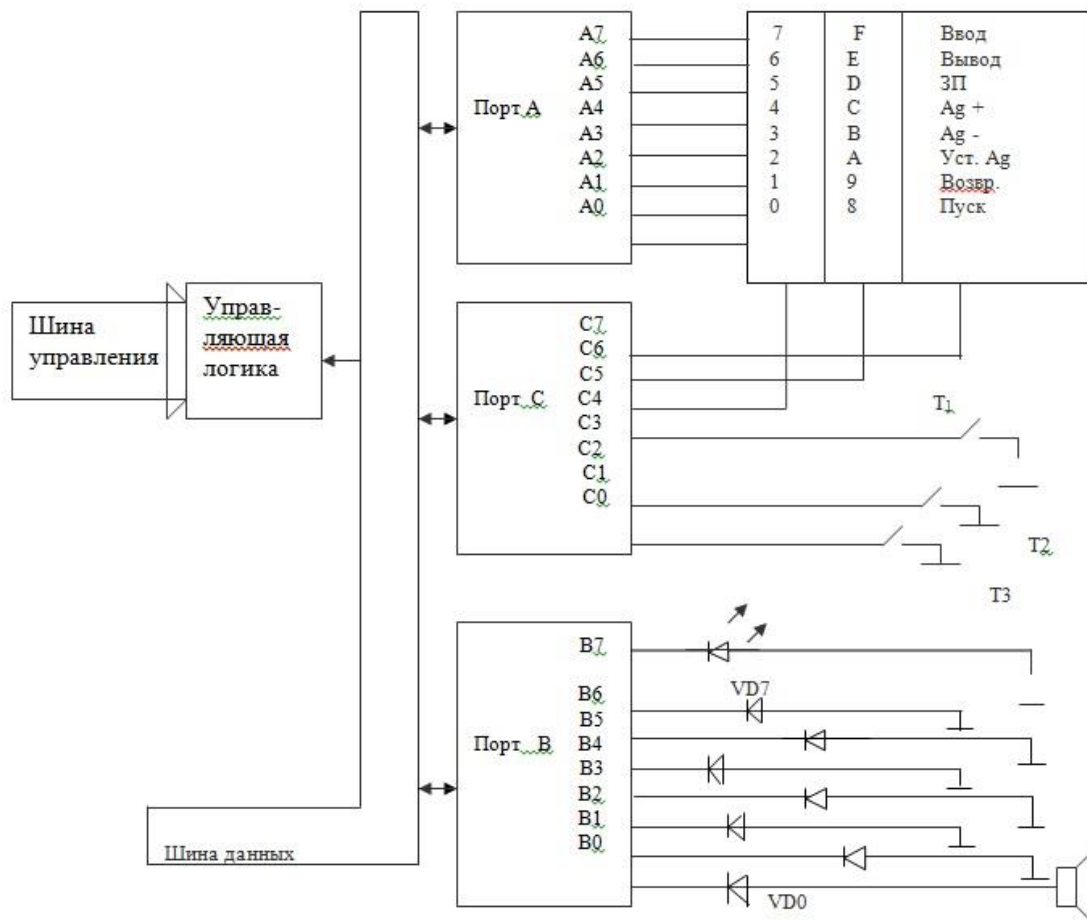


Схема подключения ППИ к ВУ.

Каждая из шин может работать как в режиме ввода, так и в режиме вывода, что определяется управляющим словом. В микро – ЭВМ 4 старших бита шины порта С программируется на вывод, порт А – на ввод. Программа монитора выдает по очереди на выходы С6, С5, С4 отрицательные импульсы, считывая после каждого вывода информацию с порта А. Каждый разряд порта С (С6, С5, С4,) попадает на 8 кнопок (ряд). Каждый вход порта А является сборкой 3-х кнопок из разных рядов. В случае , если ни одна из кнопок ряда на который подан низкий уровень, не нажата в порт А поступит код FF, если же нажата хотя бы одна кнопка, то в соответствующем разряде порта А появится лог.0.

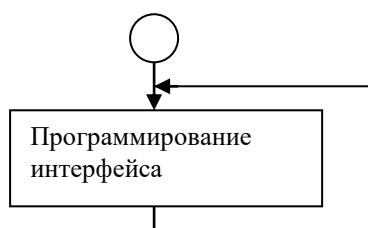
Учитывая номер ряда и разряда порта А, в котором при вводе был лог.0, монитор формирует код нажатой кнопки и обращается в соответствии с ним к нужной подпрограмме, выполняющей соответствующую этой кнопке операцию. К 8 разрядам порта В подключены светодиодные индикаторы. Этот порт будет программироваться как порт вывода. К трем разрядам порта С (С1, С2, С3) подсоединены тумблеры, т.е. запрограммировав ППИ определенным образом можно считывать данные с тумблеров и выводить данные на светодиодные индикаторы.

К нулевому разряду порта В кроме светодиода подключен громкоговоритель, т.е. организовав определенным образом программу, можно заставить громкоговоритель звучать.

Команда	КОММЕНТАРИИ
MVI A, 81 OUT FB	Программирование интерфейса
IN FA	Чтение данных из порта ввода (тумблеры)
OUT F9	Запись данных в порт вывода (светодиоды)

2. Рассмотрим программу, которая демонстрирует использование портов. Данные считываются с тумблеров и выдают на светодиоды.

2.1 Блок – схема:



2.2 Размещение программы по адресам памяти:

АДРЕС	КОМАНДА	СОДЕРЖИМОЕ ЯЧЕЙКИ ОП	КОММЕНТАРИИ
8000	MVI A, 81	3E	Программирование интерфейса
8001		81	
8002	OUT FB	D3	
8003		FB	
8004	START: IN FA	DB	Чтение данных из порта ввода
8005		FA	
8006	OUT F9	D3	Запись данных в порт вывода
8007		F9	
8008	JMP START	C3	Безусловный переход
8009		04	
800A		80	

2.3. Рассмотреть результаты выполнения программы на конкретных примерах.

2.4. Исследовать программу, разработанную по заданию для домашней подготовки.

2.5. Исследовать процесс выполнения команд ввода и вывода по машинным циклам

2.6. Изучить временные диаграммы команд ввода и вывода.

3. Оформить отчет. Отчет должен содержать: блок-схему, программу, записанную на языке Ассемблера и в машинных кодах (для Вашего варианта задания), исследованные по машинным циклам команды ввода и вывода, временные диаграммы команд ввода – вывода.

4. Сделать выводы по работе.

Контрольные вопросы.

1. Перечислить узлы, входящие в состав ППИ.

2. Назвать режимы работы ППИ.

3. Пояснить режим 0.

4. Пояснить режим 1.

5. Пояснить режим 2.

6. Пояснить назначение входов/выходов

Задание 1

1. Составить программу, по которой данные считываются с тумблеров, к их состоянию (содержимому аккумулятора) прибавляется 100_{10} , и результаты выдаются на светодиоды.

2. Составить программу, по которой данные считываются с тумблеров, к их состоянию (содержимому аккумулятора) прибавляется 30_{10} , и результаты выдаются на светодиоды.

3. Составить программу, по которой данные считываются с тумблеров, устанавливаются 1 и 2 биты, и результаты выдаются на светодиоды.

4. Составить программу, по которой данные считываются с тумблеров, очищаются 2 и 3 биты, и результаты выдаются на светодиоды.

5. Составить программу, по которой данные считываются с тумблеров, инвертируются 1 и 3 биты, и результаты выдаются на светодиоды.

6. Составить программу, по которой данные считываются с тумблеров, к их состоянию (содержимому аккумулятора) прибавляется 150_{10} , и результаты выдаются на светодиоды.

7. Составить программу, по которой данные считываются с тумблеров, от их состояния (содержимому аккумулятора) вычитается 1, и результаты выдаются на светодиоды.
8. Составить программу, по которой данные считываются с тумблеров, устанавливаются 2 и 3 биты, и результаты выдаются на светодиоды.
9. Составить программу, по которой данные считываются с тумблеров, очищаются 1 и 3 биты, и результаты выдаются на светодиоды.
10. Составить программу, по которой данные считываются с тумблеров, инвертируются 2 и 3 биты, и результаты выдаются на светодиоды.
11. Составить программу, по которой данные считываются с тумблеров, к их состоянию (содержимому аккумулятора) прибавляется 200, и результаты выдаются на светодиоды.
12. Составить программу, по которой данные считываются с тумблеров, от их состояния (содержимому аккумулятору) вычитается 2, и результаты выдаются на светодиоды.
13. Составить программу, по которой данные считываются с тумблеров, устанавливаются 1 и 3 биты, и результаты выдаются на светодиоды.
14. Составить программу, по которой данные считываются с тумблеров, очищаются 1 и 2 биты, и результаты выдаются на светодиоды.
15. Составить программу, по которой данные считываются с тумблеров, инвертируются 1 и 2 биты, и результаты выдаются на светодиоды.
16. Составить программу, по которой данные считываются с тумблеров, к их состоянию (содержимому аккумулятору) прибавляется 250, и результаты выдаются на светодиоды.
17. Составить программу, по которой данные считываются с тумблеров, от их состояния (содержимому аккумулятору) вычитается 4, и результаты выдаются на светодиоды.
18. Составить программу, по которой данные считываются с тумблеров, устанавливается 1-ый бит, и результаты выдаются на светодиоды.
19. Составить программу, по которой данные считываются с тумблеров, очищается 2-ой бит, и результаты выдаются на светодиоды.
20. Составить программу, по которой данные считываются с тумблеров, инвертируется 3-ий бит, и результаты выдаются на светодиоды.
21. Составить программу, по которой данные считываются с тумблеров, к их состоянию (содержимому аккумулятору) прибавляется 300, и результаты выдаются на светодиоды.
22. Составить программу, по которой данные считываются с тумблеров, от их состояния (содержимому аккумулятору) вычитается 3, и результаты выдаются на светодиоды.
23. Составить программу, по которой данные считываются с тумблеров, устанавливается 2-ой бит, и результаты выдаются на светодиоды.
24. Составить программу, по которой данные считываются с тумблеров, очищается 1 -ый бит, и результаты выдаются на светодиоды.
25. Составить программу, по которой данные считываются с тумблеров, инвертируется 2-ой бит, и результаты выдаются на светодиоды.
26. Составить программу, по которой данные считываются с тумблеров, к их состоянию (содержимому аккумулятору) прибавляется 250_{10} , и результаты выдаются на светодиоды.
27. Составить программу, по которой данные считываются с тумблеров, от их состояния (содержимому аккумулятору) вычитается 25_{10} , и результаты выдаются на светодиоды.
28. Составить программу, по которой данные считываются с тумблеров, выполняется операция конъюнкция с числом 100_{10} , и результаты выдаются на светодиоды.
29. Составить программу, по которой данные считываются с тумблеров, выполняется операция дизъюнкция с числом 150_{10} , и результаты выдаются на светодиоды.
30. Составить программу, по которой данные считываются с тумблеров, выполняется операция исключающее «ИЛИ» с числом 250_{10} , и результаты выдаются на светодиоды.

Задание 2

1. Выделить четные биты числа, записанного в ячейке 8030 с помощью операции И. Результат получить на светодиодных индикаторах (изменить программу так, чтобы проверились нечетные биты, младшие 4 бита).
2. Продемонстрировать действие операции «исключающее ИЛИ» преобразуя число, записанное в аккумуляторе в код FF. Результат получить на светодиодных индикаторах (изменить программу так, чтобы в младших четырех разрядах числа «0» были заменены на «1», в старших четырех разрядах числа выполнялась аналогичная замена).

3. Продемонстрировать действие операции «исключающее ИЛИ» инвертируя в числе разряды, содержащие «1», и не изменяя разряды, содержащие «0». Результат получить на светодиодных индикаторах. (Изменить программу так, чтобы операция «исключающее ИЛИ» выполнялась только над 4 младшими, 4 старшими битами).
4. Включить светодиоды, если число, записанное во входном устройстве, меньше или равно 3.
5. Включить светодиоды, если число, записанное во входном устройстве, больше 3, но меньше 8.
6. Включить светодиоды, если включены тумблеры T1 и T3 (изменить программу так, чтобы светодиоды включались при включении тумблеров T1 или T2).
7. Включить светодиоды, если в 5 разряде числа «0», а во всех остальных «1».
8. Продемонстрировать функцию сдвига вправо, индицируя результат на светодиодах (изменить кодовые комбинации, подвергаемые сдвигу).
9. Продемонстрировать функцию сдвига влево, индицируя результат на светодиодах (изменить кодовые комбинации, подвергаемые сдвигу).
10. Вывести код, задаваемый тумблерами, на различные индикаторы дисплея.
11. Составить программу включения звукового сигнала тумблером T1, а включение светодиодов тумблером T3.
- 12. Включить звуковой сигнал на 5 секунд.**
13. Включить звуковой сигнал на 10 секунд.
14. Включить звуковой сигнал тумблером T2.
15. Включить звуковой сигнал тумблером T3 (или T1 и T2).
16. Включить 1, 4, 7 светодиоды на 5 секунд (изменить номера светодиодов).
17. Включить 2, 5, 8 светодиоды на 10 секунд (изменить время горения светодиодов).
18. Потушить все светодиоды на 15 секунд (изменить время гашения светодиодов).