

ОБЛАСТНОЕ ГОСУДАРСТВЕННОЕ АВТОНОМНОЕ ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ
ДОПОЛНИТЕЛЬНОГО ПРОФЕССИОНАЛЬНОГО ОБРАЗОВАНИЯ
«БЕЛГОРОДСКИЙ ИНСТИТУТ РАЗВИТИЯ ОБРАЗОВАНИЯ» (БелИРО)



СЕРТИФИКАТ

подтверждает, что

материалы педагогического опыта по теме:
«Учебно-методические рекомендации «Исследование работы
устройств цифровой техники с использованием
виртуального лабораторного практикума»

**Феоктистовой
Валентины Николаевны,**

преподавателя дисциплин профессионального цикла
ОГАПОУ «Белгородский индустриальный колледж»,

размещены на сайте ОГАОУ ДПО
«Белгородский институт
развития образования» в рубрике «Из опыта работы»



Регистрационный номер 430

Т.В. Балабанова

Белгород 2017 год

Учебно-методические рекомендации. «Исследование работы устройств цифровой техники с использованием виртуального лабораторного практикума»

Автор: Феоктистова Валентина Николаевна, преподаватель дисциплин профессионального цикла ОГАПОУ «Белгородский индустриальный колледж».

Пояснительная записка

Учебно-методические рекомендации подготовлены на основе рабочей программы по дисциплине общепрофессионального цикла – «Цифровая схемотехника», разработанной в соответствии с федеральным государственным образовательным стандартом (ФГОС) СПО по специальности 27.02.05 «Системы и средства диспетчерского управления».

Согласно учебному плану дисциплина «Цифровая схемотехника» изучается в III и IV семестрах и предусматривает выполнение лабораторных работ по освоению комбинационных и последовательностных устройств цифровой техники в объеме 20 часов.

Для успешного освоения дисциплины обучающийся должен уметь работать с различными источниками информации, преобразовывать информацию, делать обобщения, формулировать и аргументировать выводы, сохранять и представлять информацию.

Целью предлагаемых учебно-методических рекомендаций является оказание методической и организационной помощи студентам в углублении знаний, выработке практических навыков использования цифровых устройств, что способствует формированию профессиональных компетенций.

Виртуальный лабораторный практикум включает компьютерные модели основных комбинационных и последовательностных схем.

Интерактивные модели устройств являются нетрадиционным дидактическим материалом, позволяют задавать входные воздействия, наблюдать последовательность срабатывания элементов в электронных устройствах, проследить их поведение в динамическом режиме.

Выполнение виртуального лабораторного практикума предполагает использование методов исследования, таких как лабораторное наблюдение, эксперимент, развивает навыки грамотного представления полученных результатов в форме схем, таблиц, графиков.

Настоящие методические рекомендации состоят из следующих структурных элементов: наименование темы, цель занятия, теоретические сведения, описание последовательности выполнения лабораторной работы, таблицы входных воздействий, интерактивные схемы устройств, контрольные вопросы, список литературы.

Таким образом, материалы данного пособия имеют практическую значимость, формируют навыки использования информационно-коммуникационных технологий в образовательном процессе и могут применяться для дистанционного обучения.

ОГАОУ ДПО «Белгородский институт развития образования»

Тема: «Учебно-методические рекомендации. «Исследование работы устройств цифровой техники с использованием виртуального лабораторного практикума»

«Из опыта работы»

**Феоктистова Валентина Николаевна,
преподаватель ОГАОУ «Белгородский
индустриальный колледж»**

**Белгород
2017**

ОГАПОУ «Белгородский индустриальный колледж»

Методические рекомендации

к выполнению лабораторных работ по дисциплине «Цифровая
схемотехника»

основной профессиональной образовательной программы
27.02.05 – «Системы и средства диспетчерского управления»

Разработчик:

ОГАПОУ «БИК»
(место работы)

преподаватель
(занимаемая должность)

Феоктистова В.Н.
(Ф.И.О.)

Одобрены на заседании цикловой
комиссии «Автоматики, радиовещания и систем
диспетчерского управления»

Протокол № ___ от «__» _____ 20__ г.
Председатель ЦК /Чобану Л.А./

Белгород, 2017

СОДЕРЖАНИЕ

1	Лабораторная работа № 1 «Исследование работы шифратора и дешифратора».....	3
2.	Лабораторная работа №2 «Исследование работы мультиплексора и демультиплексора».....	9
3.	Лабораторная работа № 3 «Исследование работы преобразователя кода».....	14
4.	Лабораторная работа № 4 «Исследование работы сумматора и арифметико-логического устройства».....	15
5.	Лабораторная работа № 5 «Исследование работы программируемой логической матрицы».....	19
6.	Лабораторная работа № 6 «Исследование работы интегральных триггеров».....	22
7	Лабораторная работа № 7 «Исследование работы регистров».....	32
8	Лабораторная работа № 8 «Исследование работы счетчиков».....	36
9	Лабораторная работа № 9 «Исследование работы ЦАП и АЦП».....	40
10	Лабораторная работа № 10 «Исследование работы ОЗУ».....	44

Лабораторная работа № 1

Тема: Исследование работы шифратора и дешифратора

Цель: Исследовать работу комбинационных схем шифратора и дешифратора в статическом и динамическом режимах.

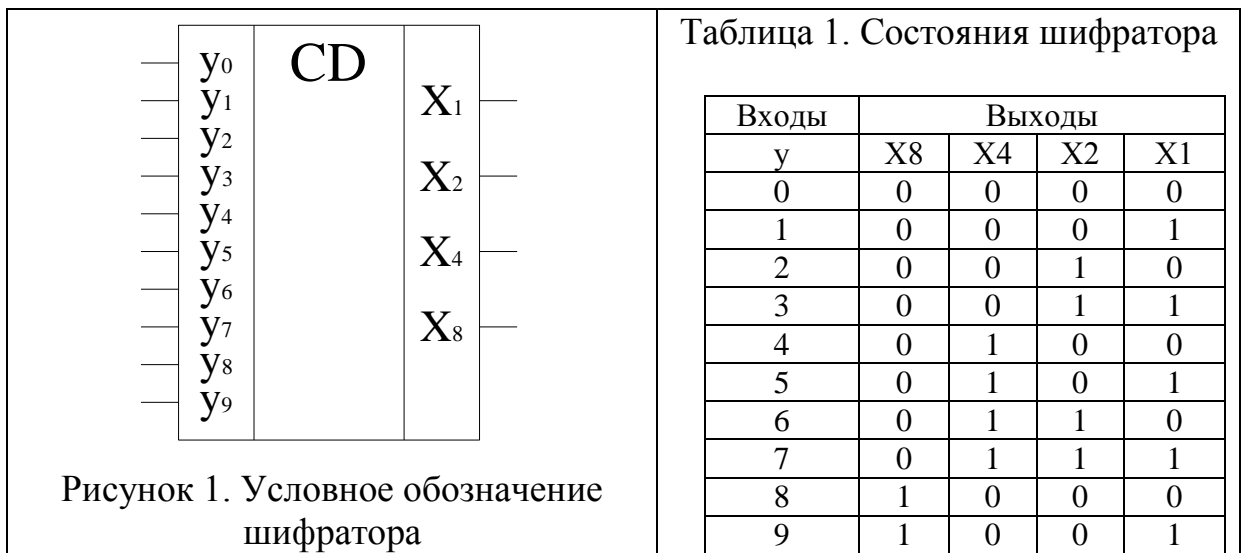
Оборудование: компьютерная аудитория, программа виртуального лабораторного практикума.

Теоретические сведения

Шифратор (кодер)

Шифратор служит для преобразования десятичного числа в двоичный код. Условное обозначение приведено на рисунке 1. Шифратор имеет входы Y пронумерованные в десятичной системе счисления и выходы X , соответствующие отдельным разрядам двоичного числа. Чтобы преобразовать десятичное число в двоичное, необходимо активный логический уровень («0» или «1») подать на вход, номер которого в десятичной форме соответствует преобразуемому числу. При этом на выходах X формируется соответствующий двоичный код.

Таблица состояний шифратора приведена в таблице 1.



Логические выражения для выходов X записываются как простая дизъюнкция входных сигналов Y, при которых на выходах X формируется уровень лог. «1».

$$X_1 = y_1 \vee y_3 \vee y_5 \vee y_7 \vee y_9$$

$$X_2 = y_2 \vee y_3 \vee y_6 \vee y_7$$

$$X_4 = y_4 \vee y_5 \vee y_6 \vee y_7$$

$$X_8 = y_8 \vee y_9.$$

Схема шифратора, построенная в соответствии с полученными выражениями, представлена на рисунке.2.

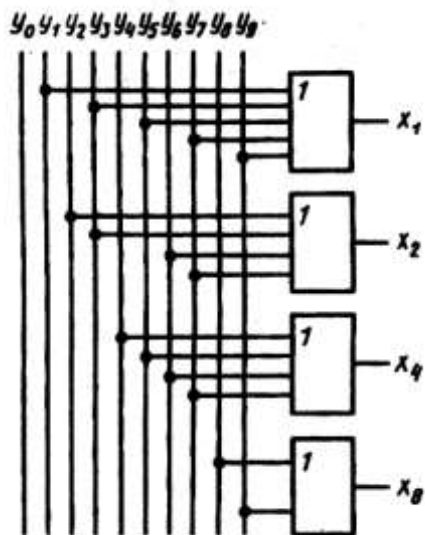


Рисунок 2. Схема шифратора.

Дешифратор (декодер)

Дешифратор выполняет обратную шифратору функцию, т.е. преобразует двоичный код в десятичное число. Дешифратор имеет входы X, соответствующие отдельным разрядам двоичного числа и выходы Y, пронумерованные в десятичной системе счисления. Чтобы двоичное число преобразовать в десятичное, необходимо разряды двоичного числа подать на

соответствующие входы X. При этом активный логический уровень («0» или «1») формируется на одном из выходов, номер которого в десятичной форме соответствует преобразуемому коду. Условное обозначение дешифратора приведено на рисунке 3. Таблица состояний шифратора приведена в таблице 2.

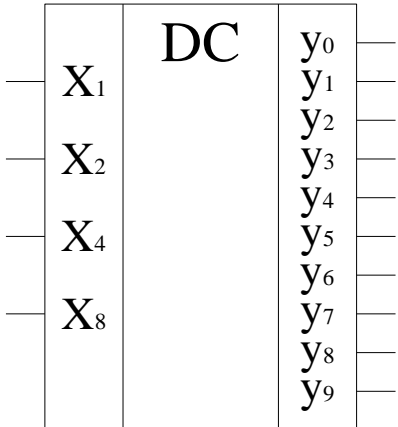


Рисунок 3. Условное обозначение дешифратора

Таблица 2. Состояния дешифратора

Входы				Выходы
X8	X4	X2	X1	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9

Логические выражения для выходов Y записываются как простая конъюнкция входных сигналов X или инверсий входных сигналов X, если их значения равны нулю.

$$Y_0 = \overline{X_8} \wedge \overline{X_4} \wedge \overline{X_2} \wedge \overline{X_1}$$

$$Y_1 = \overline{X_8} \wedge \overline{X_4} \wedge \overline{X_2} \wedge X_1$$

$$Y_2 = \overline{X_8} \wedge \overline{X_4} \wedge X_2 \wedge \overline{X_1}$$

$$Y_3 = \overline{X_8} \wedge \overline{X_4} \wedge X_2 \wedge X_1$$

$$Y_4 = \overline{X_8} \wedge X_4 \wedge \overline{X_2} \wedge \overline{X_1}$$

$$Y_5 = \overline{X_8} \wedge X_4 \wedge \overline{X_2} \wedge X_1$$

$$Y_6 = \overline{X_8} \wedge X_4 \wedge X_2 \wedge \overline{X_1}$$

$$Y_7 = \overline{X_8} \wedge X_4 \wedge X_2 \wedge X_1$$

$$Y_8 = X_8 \wedge \overline{X_4} \wedge \overline{X_2} \wedge \overline{X_1}$$

$$Y_9 = X_8 \wedge \overline{X_4} \wedge X_2 \wedge X_1$$

Схема дешифратора, построенная в соответствии с полученными выражениями, представлена на рисунке 4.

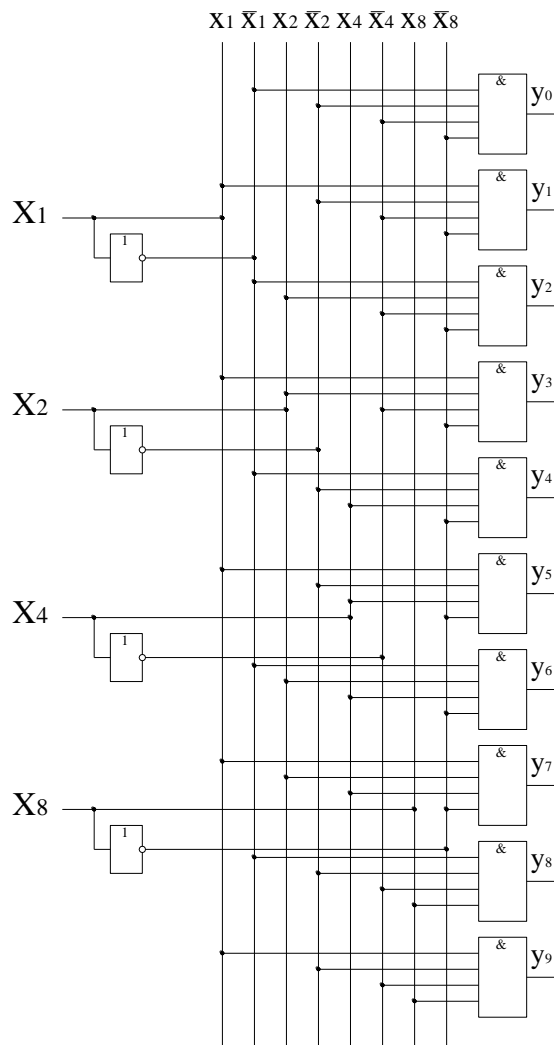


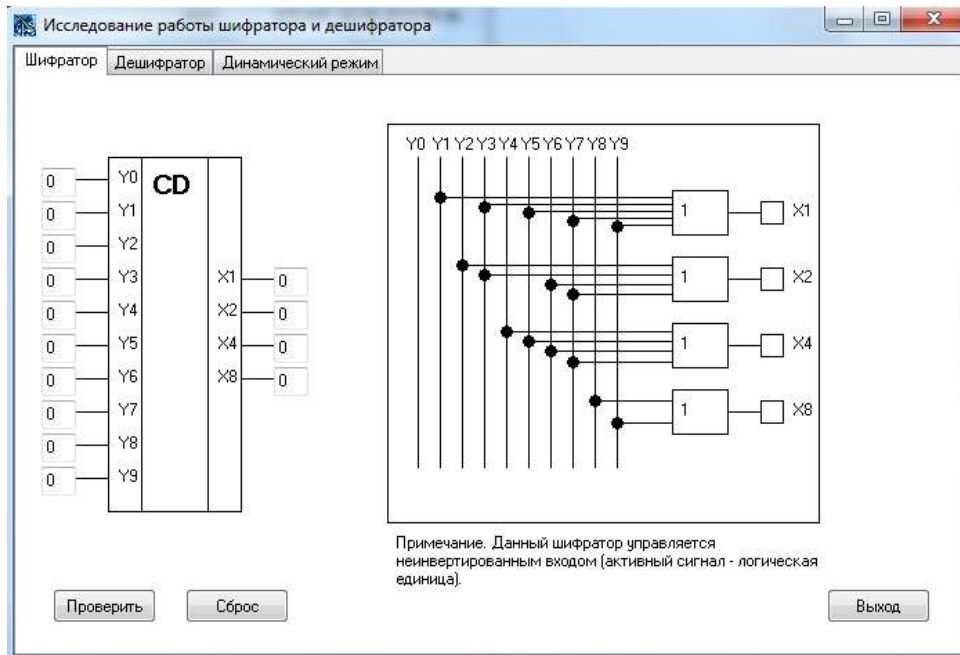
Рисунок 4. Схема дешифратора

Порядок выполнения работы:

1. Исследование работы шифратора

1.1. Выполнить преобразование десятичных чисел от 0 до 9 в схеме шифратора.

Активный уровень лог. «1» поочередно подавать на входы $Y_0 - Y_9$ при этом фиксировать и записывать в таблицу отчета кодовые комбинации на выходах X_1, X_2, X_4, X_8 .



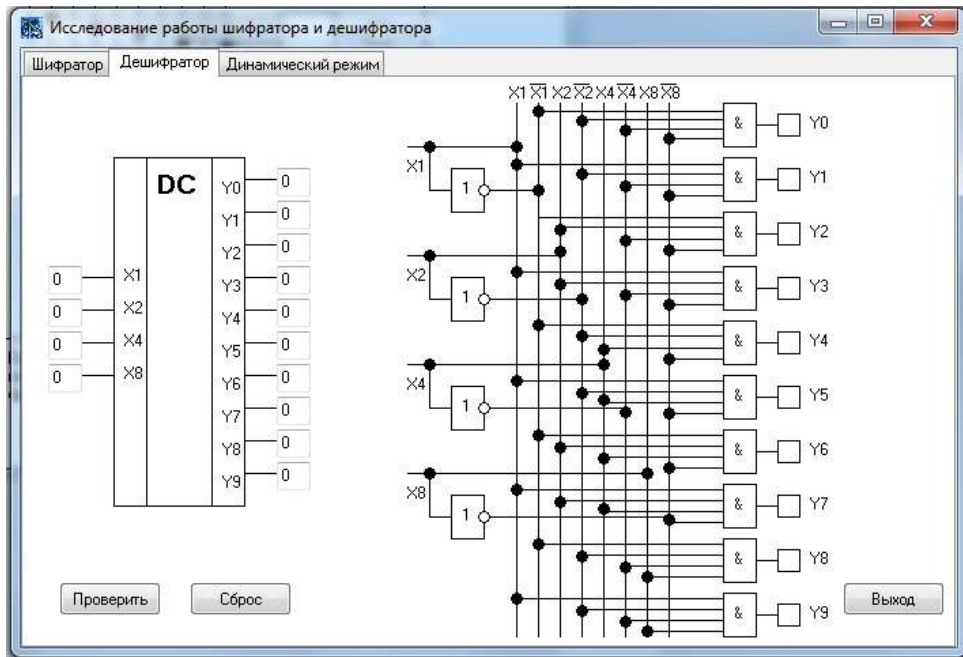
Вход										Выход			
Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7	Y8	Y9	X8	X4	X2	X1

1.2. На внутренней структуре шифратора выделить активные цепи для преобразования десятичного числа (по заданию преподавателя).

2. Исследование работы дешифратора

2.1. Выполнить преобразование двоичных кодов в десятичные числа в схеме дешифратора.

Двоичные коды поочередно подавать на входы X1, X2, X4, X8, при этом фиксировать и записывать в таблицу отчета кодовые комбинации на выходах Y0 – Y9.



Вход				Выход									
8	4	2	1	0	1	2	3	4	5	6	7	8	9

2.2. Используя схему внутренней структуры дешифратора, записать логическое выражение для формирования сигнала на одном из выходов дешифратора $Y_0 - Y_9$ (по заданию преподавателя).

2.3. На внутренней структуре дешифратора выделить активные цепи для преобразования двоичного кода (по заданию преподавателя).

2.4. Получить и перенести графики динамического режима работы дешифратора в отчет по лабораторной работе:



2.4. На графиках временных диаграмм работы дешифратора показать временной интервал, соответствующий преобразованию определенного кода (по заданию преподавателя).

3. Сделать выводы по работе

4. Оформить отчет

5. Ответить на контрольные вопросы

Контрольные вопросы.

1. Какую функцию выполняет шифратор?
2. Привести функциональное обозначение шифратора?
3. Пояснить назначение выводов шифратора?
4. Пояснить принцип работы шифратора?
5. Какую функцию выполняет дешифратор?
6. Привести функциональное обозначение дешифратора?
7. Пояснить назначение выводов дешифратора?
8. Пояснить принцип работы дешифратора?

Лабораторная работа №2

Тема: Исследование работы мультиплексора и демультиплексора

Цель: Исследовать работу комбинационных схем мультиплексоров и демультиплексоров в статическом режиме.

Оборудование компьютерная аудитория, программа виртуального лабораторного практикума.

Теоретические сведения

Мультиплексор

Мультиплексор имеет информационные входы D , адресные входы A и выходы: прямой Y и инверсный \bar{Y} . В нем к выходу Y может быть подключен один из информационных входов D в зависимости от кода действующего на адресных входах A . Условное обозначение мультиплексора приведено на рисунке 5. Таблица состояний мультиплексора приведена в таблице 3.

Рисунок 5. Условное обозначение мультимплексора

Таблица 3. Состояния мультимплексора

Входы			Выход
A2	A1	A0	Y
0	0	0	D0
0	0	1	D1
0	1	0	D2
0	1	1	D3
1	0	0	D4
1	0	1	D5
1	1	0	D6
1	1	1	D7

Логическое выражение для выхода Y записывается как простая дизъюнкция конъюнкций информационных входов D и адресных входов A или инверсий адресных входов A, если их значения равны нулю.

$$Y = D_0 \overline{A_2} \overline{A_1} \overline{A_0} \vee D_1 \overline{A_2} \overline{A_1} A_0 \vee D_2 \overline{A_2} A_1 \overline{A_0} \vee D_3 \overline{A_2} A_1 A_0 \vee D_4 A_2 \overline{A_1} \overline{A_0} \vee D_5 A_2 \overline{A_1} A_0 \vee D_6 A_2 A_1 \overline{A_0} \vee D_7 A_2 A_1 A_0$$

Схема мультимплексора, построенная в соответствии с полученными выражениями, представлена на рисунке 6.

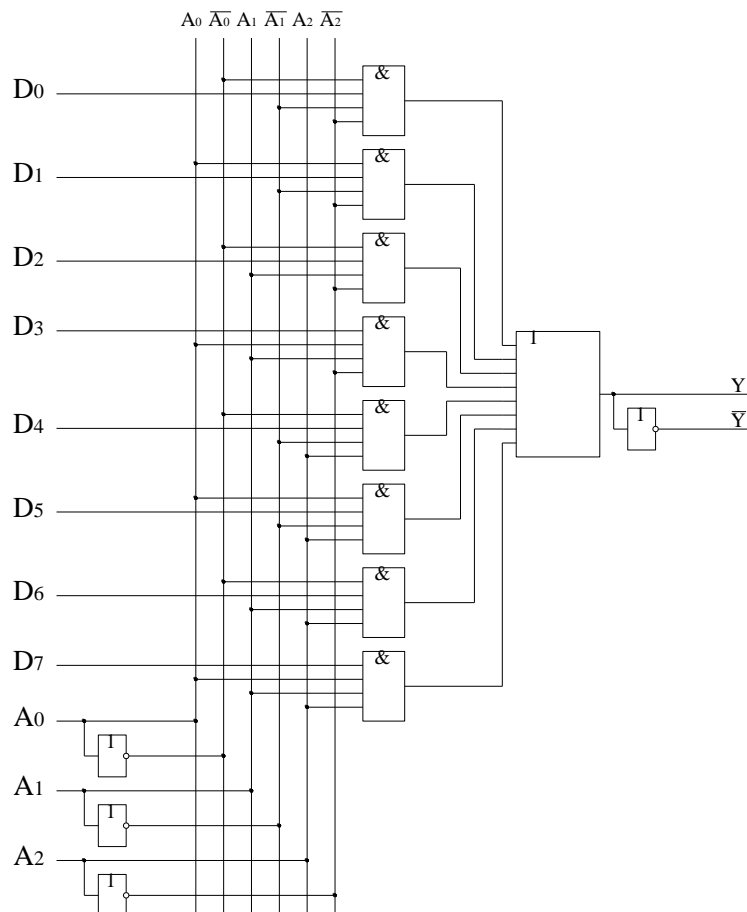


Рисунок 6. Схема мультимплексора

Демультимплексор

Демультимплексор выполняет функцию обратную мультиплексору. Он имеет информационный вход D, адресные входы A и выходы Y. В нем вход D может быть подключен к одному из выходов Y в зависимости от кода, действующего на входах A. Условное обозначение демультимплексора приведено на рисунке 7. Таблица состояний шифратора приведена в таблице 4.

 <p style="text-align: center;">Рисунок 7. Условное обозначение демультимплексора</p>	<p style="text-align: center;">Таблица 4. Состояния демультимплексора</p> <table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <thead> <tr> <th colspan="3">Входы</th> <th colspan="8">Выходы</th> </tr> <tr> <th>A2</th> <th>A1</th> <th>A0</th> <th>y0</th> <th>y1</th> <th>y2</th> <th>y3</th> <th>y4</th> <th>y5</th> <th>y6</th> <th>7</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>D</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>D</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>D</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>D</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>D</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>D</td> <td>0</td> <td>0</td> </tr> <tr> <td></td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>D</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>D</td> </tr> </tbody> </table>	Входы			Выходы								A2	A1	A0	y0	y1	y2	y3	y4	y5	y6	7	0	0	0	D	0	0	0	0	0	0	0	0	0	1	0	D	0	0	0	0	0	0	0	1	0	0	0	D	0	0	0	0	0	0	1	1	0	0	0	D	0	0	0	0	1	0	0	0	0	0	0	D	0	0	0	1	0	1	0	0	0	0	0	D	0	0		1	0	0	0	0	0	0	0	D	0	1	1	1	0	0	0	0	0	0	0	D
Входы			Выходы																																																																																																												
A2	A1	A0	y0	y1	y2	y3	y4	y5	y6	7																																																																																																					
0	0	0	D	0	0	0	0	0	0	0																																																																																																					
0	0	1	0	D	0	0	0	0	0	0																																																																																																					
0	1	0	0	0	D	0	0	0	0	0																																																																																																					
0	1	1	0	0	0	D	0	0	0	0																																																																																																					
1	0	0	0	0	0	0	D	0	0	0																																																																																																					
1	0	1	0	0	0	0	0	D	0	0																																																																																																					
	1	0	0	0	0	0	0	0	D	0																																																																																																					
1	1	1	0	0	0	0	0	0	0	D																																																																																																					

Логические выражения для выходов Y записываются как простая конъюнкция информационных входов D и адресных входов A или инверсий адресных входов A, если их значения равны нулю..

$$Y_0 = D \overline{A_2} \overline{A_1} \overline{A_0}$$

$$Y_1 = D \overline{A_2} A_1 \overline{A_0}$$

$$Y_2 = D \overline{A_2} A_1 A_0$$

$$Y_3 = D A_2 \overline{A_1} \overline{A_0}$$

$$Y_4 = D A_2 \overline{A_1} A_0$$

$$Y_5 = D A_2 A_1 \overline{A_0}$$

$$Y_6 = D A_2 A_1 A_0$$

$$Y_7 = D A_2 A_1 A_0$$

Схема демультимплексора, построенная в соответствии с полученными выражениями, представлена на рисунке 8.

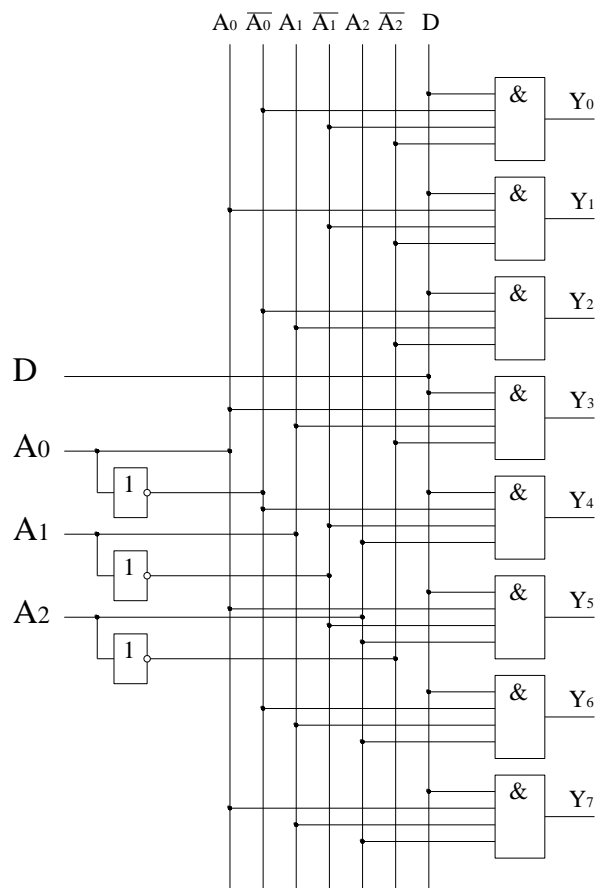
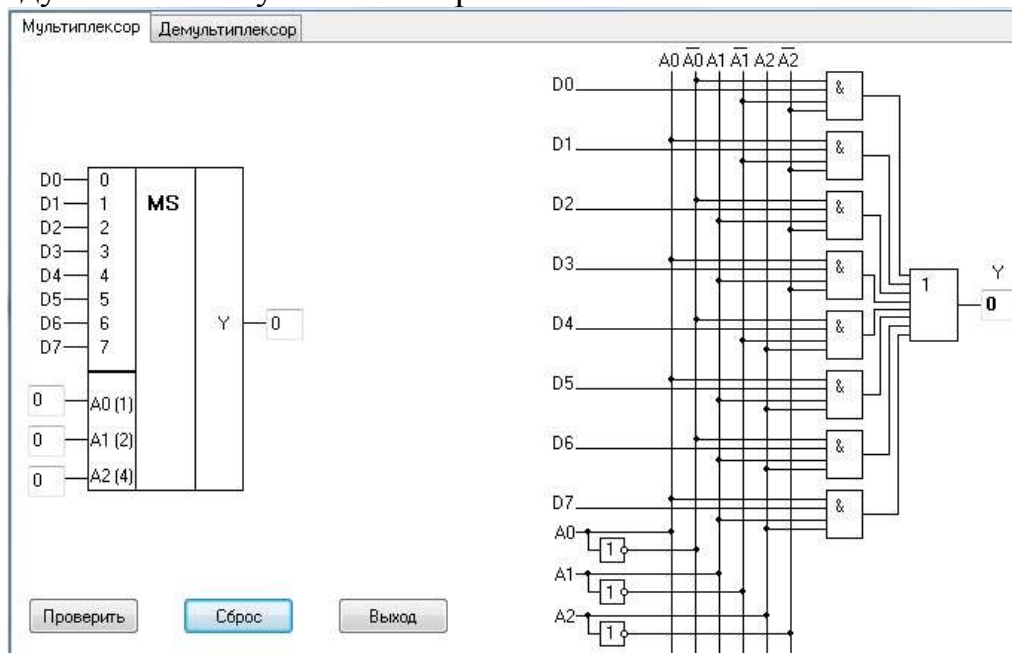


Рисунок 8. Схема демультиплексора

Порядок выполнения работы:

1. Исследование работы мультиплексора

1.1. Выполнить проверку подключения информационных входов D0-D7 к выходу Y в схеме мультиплексора.



Двоичные коды поочередно подавать на входы A0, A1, A2, при этом фиксировать и записывать в таблицу отчета информационные входы D0 –

D7, которые подключаются к выходу Y.

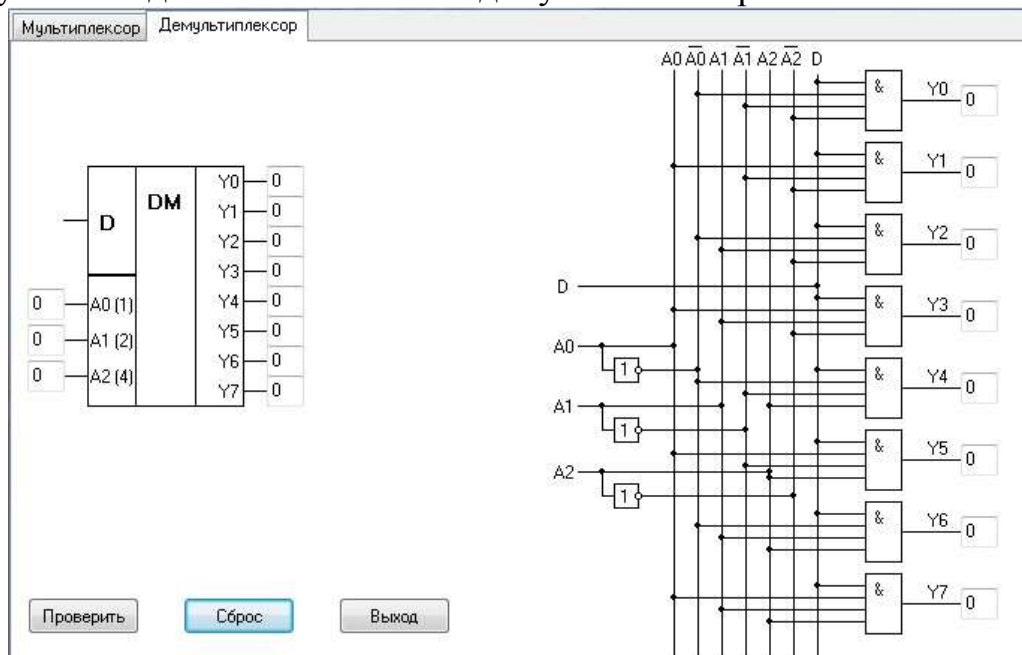
Адресные входы			Выход
A2	A1	A0	Y

1.2. Используя схему внутренней структуры мультимплексора, записать логические выражения для формирования сигнала на выходе мультимплексора Y в зависимости от кода, действующего на адресных входах A (по заданию преподавателя).

1.3. На внутренней структуре мультимплексора выделить активные цепи при подаче кода на адресные входы мультимплексора (по заданию преподавателя).

2. Исследование работы демультимплексора

2.1. Выполнить проверку подключения информационного входа D к одному из выходов Y0 – Y7 в схеме демультимплексора.



Двоичные коды поочередно подавать на входы A0, A1, A2, при этом фиксировать и записывать в таблицу отчета выходы Y0 – Y7, к которым подключается информационный вход D.

Входы			Выходы							
A2	A1	A0	Y 0	Y 1	Y 2	Y 3	Y 4	Y 5	Y 6	Y 7

2.2. Используя схему внутренней структуры демультимплектора, записать логические выражения для формирования сигналов на выходах Y0 – Y7 демультимплектора в зависимости от кода, действующего на адресных входах А (по заданию преподавателя).

2.3. На схеме внутренней структуры демультимплектора выделить активные цепи при подаче определенного кода на адресные входы мультимплектора (по заданию преподавателя)

3. Сделать выводы по работе

4. Оформить отчет

5. Ответить на контрольные вопросы

Контрольные вопросы.

1. Какую функцию выполняет мультимплексор?
2. Привести функциональное обозначение мультимплектора?
3. Пояснить назначение выводов мультимплектора?
4. Пояснить принцип работы мультимплексор?
5. Какую функцию выполняет демультимплексор?
6. Привести функциональное обозначение демультимплектора?
7. Пояснить назначение выводов демультимплектора?
8. Пояснить принцип работы демультимплексор?

Лабораторная работа № 3

Тема: Исследование работы преобразователя кода

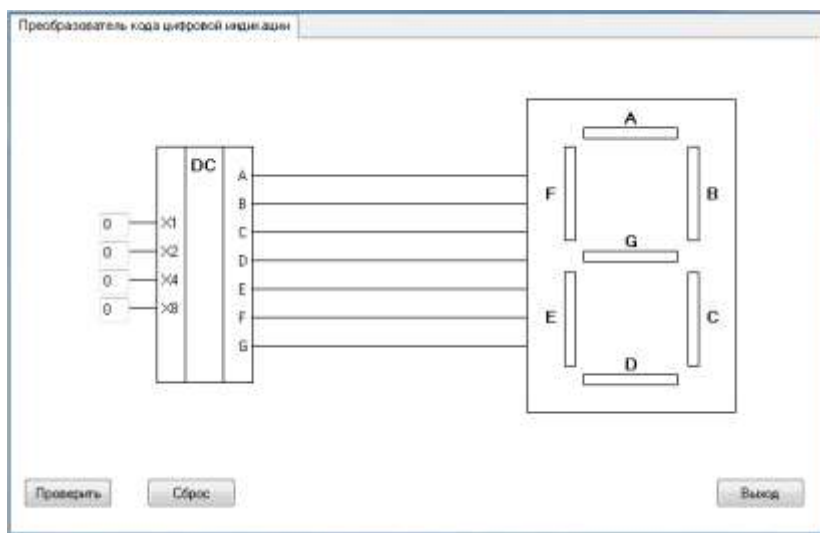
Цель: Исследовать работу комбинационной схемы преобразователя кода в статическом режиме.

Оборудование: компьютерная аудитория, программа виртуального лабораторного практикума.

Порядок выполнения работы

1. Исследование работы преобразователя кода

Выполнить проверку преобразования четырехразрядных двоичных кодов в код семисегментного цифрового индикатора.



Двоичные коды подавать на входы X1, X2, X4, X8, при этом фиксировать и записывать в таблицу отчета кодовые комбинации на выходах A, B, C, D, E, F, G.

Входы				Выходы							Индицируемая цифра
X8	X4	X2	X1	A	B	C	D	E	F	G	

2. Сделать выводы по работе
3. Оформить отчет
4. Ответить на контрольные вопросы

Контрольные вопросы.

1. Какую функцию выполняет преобразователь кода?
2. Привести функциональное обозначение преобразователя кода?
3. Пояснить назначение выводов преобразователя кода?
4. Пояснить принцип работы преобразователя кода?
5. Перечислить виды преобразователей.

Лабораторная работа № 4

Тема: Исследование работы сумматора и арифметико-логического устройства (АЛУ).

Цель: Исследовать работу комбинационных схем сумматора и АЛУ в статическом режиме.

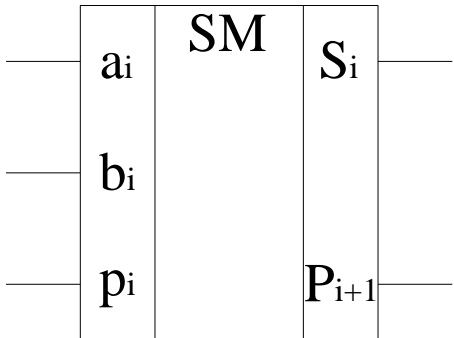
Оборудование: компьютерная аудитория, программа виртуального лабораторного практикума.

Теоретические сведения

Сумматор

При сложении многоразрядных двоичных чисел в каждом разряде выполняются однотипные действия: складываются соответствующие разряды слагаемых и перенос из предыдущего разряда, при этом формируется цифра суммы данного разряда и перенос в следующий разряд.

Поэтому можно построить схему одноразрядного сумматора, а для сложения многоразрядных чисел - объединить соответствующее количество одноразрядных сумматоров. Условное обозначение одноразрядного сумматора приведено на рисунке 9. Таблица состояний шифратора приведена в таблице 5.

	<p>Таблица 5. Состояния сумматора</p> <table border="1" style="margin: auto; border-collapse: collapse;"> <thead> <tr> <th>a_i</th> <th>b_i</th> <th>p_i</th> <th>S_i</th> <th>P_{i+1}</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td></tr> </tbody> </table>	a_i	b_i	p_i	S_i	P_{i+1}	0	0	0	0	0	0	0	1	1	0	0	1	0	1	0	0	1	1	0	1	1	0	0	1	0	1	0	1	0	1	1	1	0	0	1	1	1	1	1	1
a_i	b_i	p_i	S_i	P_{i+1}																																										
0	0	0	0	0																																										
0	0	1	1	0																																										
0	1	0	1	0																																										
0	1	1	0	1																																										
1	0	0	1	0																																										
1	0	1	0	1																																										
1	1	0	0	1																																										
1	1	1	1	1																																										
<p>Рисунок 9. Условное обозначение сумматора</p>																																														

Логические выражения для выходов S_i и p_{i+1} записываются как простая дизъюнкция входных сигналов a_i , b_i , p_i или инверсий a_i , b_i , p_i , если их значение равно нулю.

$$S_i = \bar{a}_i \bar{b}_i p_i \vee \bar{a}_i b_i \bar{p}_i \vee a_i \bar{b}_i \bar{p}_i \vee a_i b_i p_i$$

$$P_{i+1} = \bar{a}_i b_i p_i \vee a_i \bar{b}_i p_i \vee a_i b_i \bar{p}_i \vee a_i b_i p_i$$

Схема сумматора, построенная в соответствии с полученными выражениями, представлена на рисунке 10.

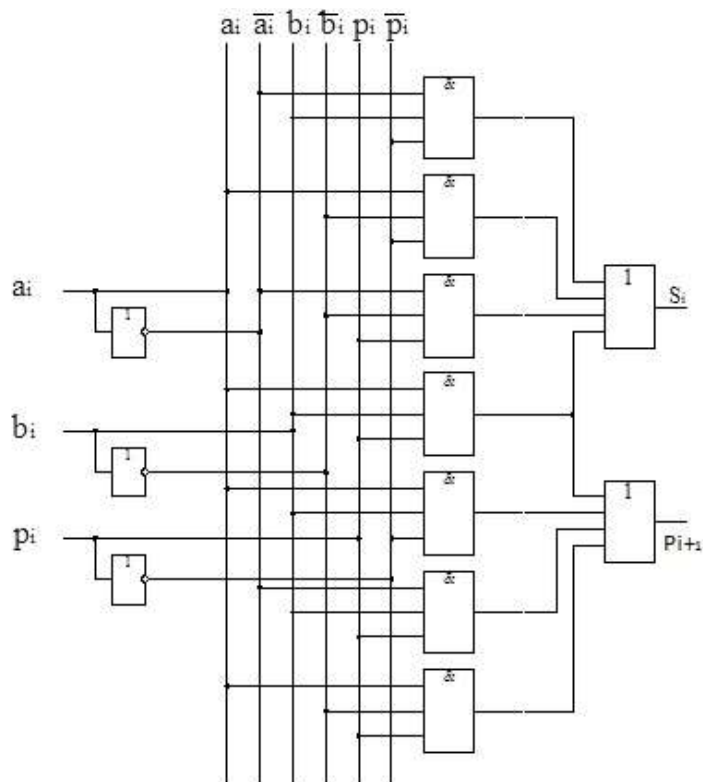
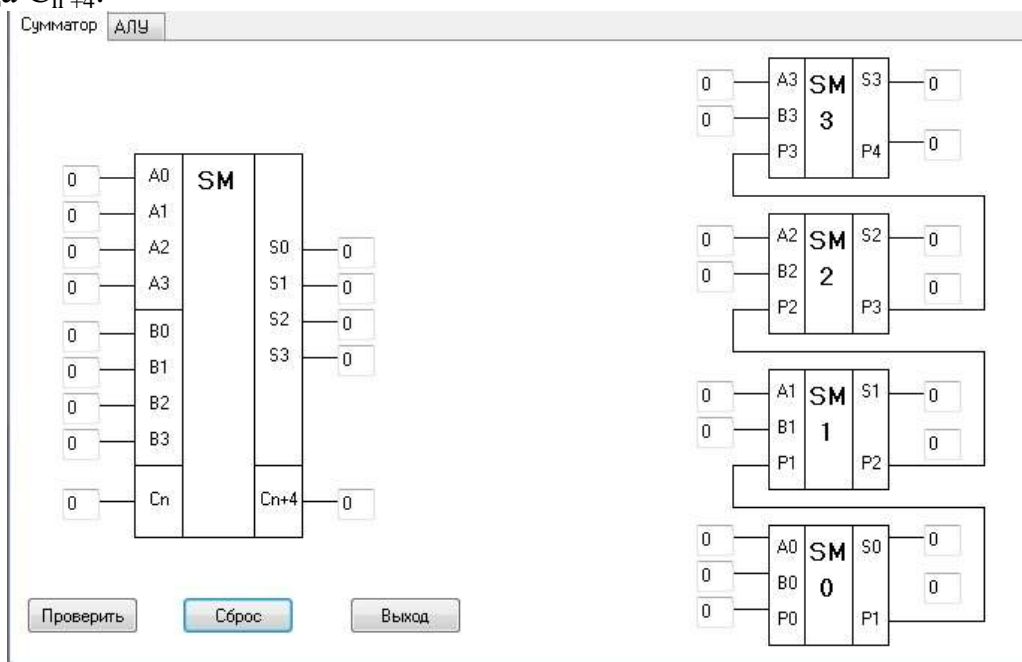


Рисунок 10. Схема сумматора

Порядок выполнения работы

1. Исследование работы сумматора

1.1. Выполнить проверку сложения двоичных кодов в четырехразрядном двоичном сумматоре параллельного действия. Входные коды слагаемых подавать на входы A0 – A3 и B0 – B3, перенос в младший разряд на вход C_n, при этом фиксировать и записывать в таблицу отчета результаты на выходах суммы S0 – S3 и выходе переноса из старшего разряда C_{n+4}.



№	Десятичное число	Двоичный код		Десятичное число	Двоичный код		Десятичное число	Двоичный код	
	A ₁₀			B ₁₀			S ₁₀		
1		A ₃			B ₃			S ₃	
		A ₂			B ₂			S ₂	
		A ₁			B ₁			S ₁	
		A ₀			B ₀			S ₀	
		C _n						C _{n+4}	

1.2. Результаты пояснить с помощью расчётов (по заданию преподавателя)

2. Исследование арифметико-логического устройства (АЛУ)

2.1. Выполнить проверку логических операций над четырехразрядными двоичными кодами в АЛУ. Входные коды операндов подавать на входы A0 – A3 и B0 – B3, перенос в младший разряд на вход C_n, вид выполняемой операции задавать на входах выбора режима S0 – S3 и M.

Фиксировать и записывать в таблицу отчета результаты на выходах F0 – F3.

Сумматор
АЛУ

0	A3
0	A2
0	A1
0	A0
0	B3
0	B2
0	B1
0	B0
0	S3
0	S2
0	S1
0	S0
0	M
0	C _n

АЛУ

F3	0
F2	0
F1	0
F0	0
P	0
G	0
A=B	0
C _{n+4}	0

Проверить
Сброс
Выход

Выбор функции				Выходные данные при активных высоких уровнях		
S ₃	S ₂	S ₁	S ₀	Логические функции (M-высокий уровень)	Арифметические операции (M-низкий уровень)	
					C _n =1 (без переноса)	C _n =0 (с переносом)
0	0	0	0	\bar{A}	A	A+1
0	0	0	1	$A+\bar{B}$	A+B	(A+B)+1
0	0	1	0	$\bar{A}B$	$A+\bar{B}$	(A+B)+1
0	1	0	1	\bar{B}	(A+B)+A \bar{B}	(A+B)+AB+1
0	1	1	0	$A \oplus B$	A-B-1	A-B
1	0	0	0	A+B	A+AB	A+AB+1
1	0	1	1	AB	AB-1	AB
1	1	0	0	1	A+A	A+A+1

№	Режим	Двоичный код операнда A	Двоичный код операнда B	Двоичный код результата F

1	S ₃		A ₃		B ₃		F ₃
	S ₂		A ₂		B ₂		F ₂
	S ₁		A ₁		B ₁		F ₁
	S ₀		A ₀		B ₀		F ₀
	M		C _n				C _{n+4}

2.2. Обосновать полученные результаты (по заданию преподавателя).

2.3. Выполнить проверку арифметических операций над четырехразрядными двоичными кодами в АЛУ. Входные коды операндов подавать на входы A₀ – A₃ и B₀ – B₃, перенос в младший разряд на вход C_n, вид выполняемой операции задавать на входах выбора режима S₀ – S₃ и M.

Фиксировать и записывать в таблицу отчета результаты на выходах F₀ – F₃.

№	Режим	Десятичное число		Двоичный код		Десятичное число		Двоичный код		Десятичное число		Двоичный код	
		A ₁₀				B ₁₀				F ₁₀			
2	S ₃			A ₃				B ₃				F ₃	
	S ₂			A ₂				B ₂				F ₂	
	S ₁			A ₁				B ₁				F ₁	
	S ₀			A ₀				B ₀				F ₀	
	M			C _n								C _{n+4}	

2.4. Обосновать полученные результаты (по заданию преподавателя).

3. Сделать выводы по работе

4. Оформить отчет

5. Ответить на контрольные вопросы

Контрольные вопросы.

1. Как выполняется сложение двоичных чисел?

2. Как перевести отрицательное число в обратный код?

3. Как выполняется вычитание двоичных чисел с использованием обратного кода?

4. Как выполняется вычитание двоичных чисел с использованием дополнительного кода?

5. Как перевести отрицательное число в дополнительный код?

Лабораторная работа № 5

Тема: Исследование работы программируемой логической матрицы (ПЛИМ).

Цель: Исследовать работу комбинационной схемы ПЛИМ в статическом

режиме.

Оборудование: компьютерная аудитория, программа виртуального лабораторного практикума.

Теоретические сведения

Программируемая логическая матрица (ПЛМ) выпускается в микросхемном исполнении. Она содержит l конъюнкторов, входы каждого из которых соединены с линиями входных сигналов и их инверсий, и t дизъюнкторов, входы каждого из них соединены с выходами всех конъюнкторов. Выходы дизъюнкторов выведены наружу через элементы «Исключающее ИЛИ», позволяющие пропускать на выходы сигналы в прямой или инверсной форме. Схема GKV представлена на рисунке 11.

Пережигая соответствующие переключки (на рисунке 11 они показаны волнистыми линиями) и оставляя необходимые соединения – программируя матрицу, можно организовать конъюнкции любых комбинаций входных сигналов и дизъюнкцию любых наборов полученных конъюнкций.

Через переключку на вход «Исключающего ИЛИ» поступает потенциал лог. 1, что приводит к инверсии функции, сформированной на выходе дизъюнктора. При разрушении этой переключки на входе «Исключающего ИЛИ» будет лог. 0 и сформированная функция не инвертируется.

Будучи запрограммированной, ПЛМ устанавливает постоянное соответствие между выходным и входным кодами, т.е. ее можно использовать как преобразователь кодов или, что равносильно, как формирователь логических функций на выходах по их аргументам на входах.

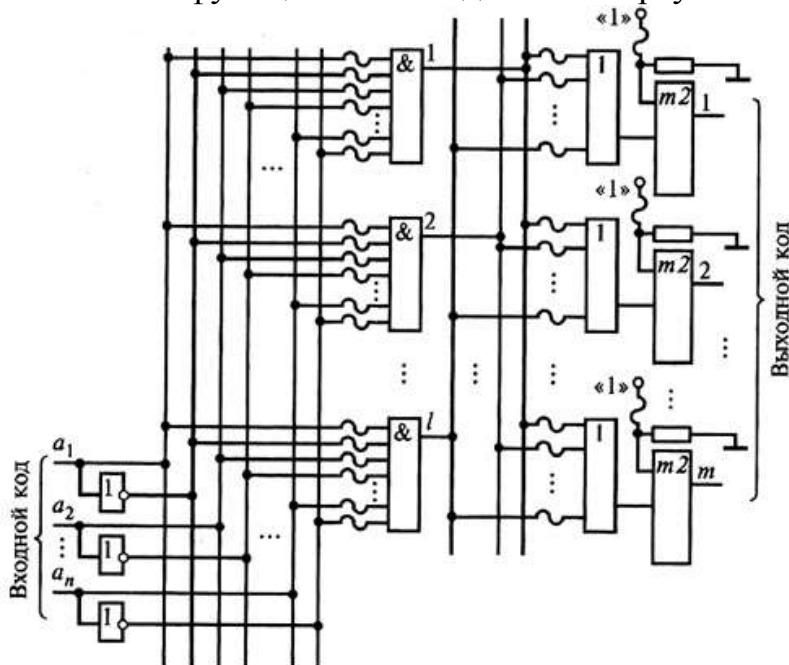


Рисунок 11. Схема ПЛМ

Порядок выполнения работы

1. Исследование программируемой логической матрицы

1.1. Матрицу запрограммировать для выполнения операций

Матрицу конъюнкций M1 запрограммировать в соответствии с логическими выражениями:

$$P1 = X1 \& \overline{X2}$$

$$P2 = \overline{X1} \& X2 \& X3$$

$$P3 = \overline{X3}$$

$$P4 = \overline{X1} \& \overline{X2} \& X3$$

$$P5 = X2 \& X3$$

Матрицу дизъюнкций M2 запрограммировать в соответствии с логическими выражениями:

$$Y1 = X1 \& \overline{X2} \vee \overline{X3}$$

$$Y2 = X1 \& \overline{X2} \vee \overline{X1} \& X2 \& X3 \vee \overline{X3}$$

$$Y3 = \overline{X1} \& \overline{X2} \& X3 \vee X2 \& X3$$

Программируемая логическая матрица

X1	0	0	0	0	1	1	1	1
X2	0	0	1	1	0	0	1	1
X3	0	1	0	1	0	1	0	1
P1								
P2								
P3								
P4								
P5								
Y1								
Y2								
Y3								

Проверить правильность запрограммированной матрицы.

1.2. Выполнить проверку выполнения заданных функций Y1, Y2, Y3 для кодовых комбинаций на входах X1, X2, X3. В таблицу отчета записать результаты, получившиеся на выходах матрицы конъюнкций P0 – P5 и матрицы дизъюнкций Y1 – Y3

Входы	X1							
	X2							
	X3							
Матрица конъюнкций	P1							
	P2							
	P3							
	P4							
	P5							
Матрица дизъюнкций	Y1							
	Y2							

	УЗ								
--	----	--	--	--	--	--	--	--	--

- 1.3. Обосновать полученные результаты (по заданию преподавателя).
2. Сделать выводы по работе
3. Оформить отчет
4. Ответить на контрольные вопросы

Контрольные вопросы.

1. Поясните возможную реализацию матрицы конъюнкций
2. Поясните возможную реализацию матрицы дизъюнкций
4. Поясните принцип работы ПЛМ
5. Поясните метод изготовления ПЛМ.

Лабораторная работа № 6

Тема: Исследование работы интегральных триггеров.

Цель работы: Исследовать работу синхронных и асинхронных триггеров в статическом и динамическом режимах.

Оборудование: компьютерная аудитория, программа виртуального лабораторного практикума

Краткие теоретические сведения

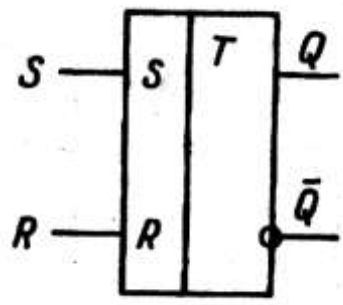
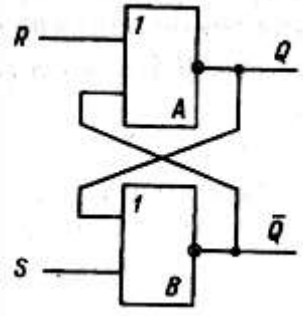
Триггер – это устройство, имеющее два устойчивых состояния и способное под действием управляющего сигнала скачком переходить из одного состояния в другое.

Триггер имеет два выхода: прямой Q и инверсный \bar{Q} . Состояние триггера определяется по логическому уровню на прямом выходе. Если триггер в единичном состоянии, то $Q=1$, $\bar{Q}=0$. Если триггер в нулевом состоянии, то $Q=0$, $\bar{Q}=1$. Триггер может иметь различные информационные входы: S – отдельный вход установки триггера в единичное состояние, R – отдельный вход установки триггера в нулевое состояние, J – вход установки универсального триггера в единичное состояние, K – вход установки универсального триггера в нулевое состояние, D – вход установки триггера в состояние, соответствующее логическому уровню действующему на нем, T – счетный вход. В зависимости от того, какие входы имеет триггер, различают: RS- триггер, JK- триггер, D- триггер, T- триггер.

Синхронные триггеры, кроме информационных, имеют дополнительный синхронизирующий (управляющий) вход C . Срабатывание синхронного триггера происходит в том случае, если на входе C действует определенный сигнал. Срабатывание триггеров со статическим синхронизирующим входом C происходит в том случае, если на нем действует логическая единица. Срабатывание синхронного триггера с прямым динамическим входом C может произойти в момент положительного перепада напряжения на нем, а срабатывание синхронного триггера с инверсным динамическим синхронизирующим входом происходит в момент отрицательного перепада напряжения на нем.

Асинхронный RS триггер с прямыми входами

Асинхронный RS триггер с прямыми входами может быть построен на элементах «или-не», для которых активным уровнем является логическая единица. Условное обозначение и внутренняя структура триггера представлены на рисунке 12. Состояния триггера представлены в таблице 6.

		<p>Таблица 6. Состояния триггера</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <thead> <tr> <th colspan="2">Вход</th> <th>Выход</th> </tr> <tr> <th>S</th> <th>R</th> <th>Q</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>Q_0</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>X</td> </tr> </tbody> </table>	Вход		Выход	S	R	Q	0	0	Q_0	0	1	0	1	0	1	1	1	X
Вход		Выход																		
S	R	Q																		
0	0	Q_0																		
0	1	0																		
1	0	1																		
1	1	X																		
<p>Рисунок 12. Условное обозначение и внутренняя структура триггера</p>																				

При $S=0$ и $R=0$ на триггер действуют пассивные логические уровни, срабатывание триггера не происходит и он остается в исходном состоянии Q_0 .

При $S=0$ и $R=1$ активный уровень логической единицы действуют на вход установки в нулевое состояние R, поэтому триггер переходит в нулевое состояние.

При $S=1$ и $R=0$ активный уровень логической единицы действуют на вход установки в единичное состояние S, поэтому триггер переходит в единичное состояние.

При $S=1$ и $R=1$ состояние триггера будет неопределенным, поэтому такая комбинация входных сигналов называется запрещенной.

Асинхронный RS триггер с инверсными входами

Он может быть построен на элементах «и-не», для которых активным уровнем является логический ноль. Условное обозначение и внутренняя структура триггера представлены на рисунке 13. Состояния триггера представлены в таблице 7.

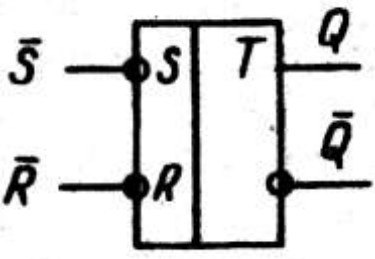
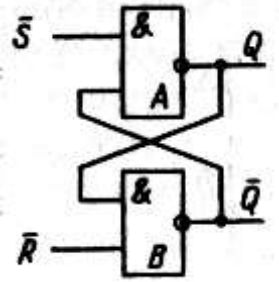
		<p>Таблица 7. Состояния триггера</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <thead> <tr> <th colspan="2">Вход</th> <th>Выход</th> </tr> <tr> <th>S</th> <th>R</th> <th>Q</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>X</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>Q_0</td> </tr> </tbody> </table>	Вход		Выход	S	R	Q	0	0	X	0	1	1	1	0	0	1	1	Q_0
Вход		Выход																		
S	R	Q																		
0	0	X																		
0	1	1																		
1	0	0																		
1	1	Q_0																		
<p>Рисунок 13. Условное обозначение и внутренняя структура триггера</p>																				

Таблица функционирования для триггера с инверсными входами инверсна таблице функционирования для триггера с прямыми входами.

Синхронный RS – триггер

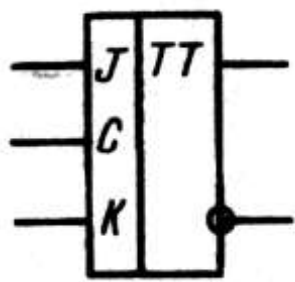
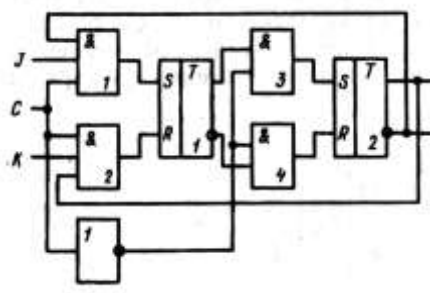
Синхронный RS – триггер может быть получен из асинхронного, если на его входы включить элементы «и». Условное обозначение и внутренняя структура триггера представлены на рисунке 14. Состояния триггера представлены в таблице 8.

		<p>Таблица 8. Состояния триггера</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <thead> <tr> <th colspan="2">Вход</th> <th>Выход</th> </tr> <tr> <th>S</th> <th>R</th> <th>Q</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>Q₀</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>X</td> </tr> </tbody> </table>	Вход		Выход	S	R	Q	0	0	Q ₀	0	1	0	1	0	1	1	1	X
Вход		Выход																		
S	R	Q																		
0	0	Q ₀																		
0	1	0																		
1	0	1																		
1	1	X																		
<p>Рисунок 14. Условное обозначение и внутренняя структура триггера</p>																				

При $C=0$ не зависимо от того, что действует на входы S и R синхронного триггера, на входах S и R асинхронного триггера, входящего в состав синхронного, действует логический ноль, и срабатывание не происходит. При $C=1$ логические уровни со входов синхронного триггера передаются на входы асинхронного триггера и вызывает его соответствующее срабатывание.

Универсальный JK-триггер с двухступенчатым запоминающим информации

Условное обозначение и внутренняя структура триггера представлены на рисунке 15. Состояния триггера представлены в таблице 9.

		<p>Таблица 9. Состояния триггера</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <thead> <tr> <th colspan="2">Вход</th> <th>Выход</th> </tr> <tr> <th>J</th> <th>K</th> <th>Q</th> </tr> </thead> <tbody> <tr> <td>0</td> <td></td> <td>Q₀</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>$\overline{Q_0}$</td> </tr> </tbody> </table>	Вход		Выход	J	K	Q	0		Q ₀	0	1	0	1	0	1	1	1	$\overline{Q_0}$
Вход		Выход																		
J	K	Q																		
0		Q ₀																		
0	1	0																		
1	0	1																		
1	1	$\overline{Q_0}$																		
<p>Рисунок 15. Условное обозначение и внутренняя структура триггера</p>																				

При $J=0$ и $K=0$ срабатывание не происходит и триггер остается в исходном состоянии Q_0 .

При $J=0$ и $K=1$ логическая единица действует на вход установки в нулевое состояние K и триггер переходит в нулевое состояние.

При $J=1$ и $K=0$ логическая единица действует на вход установки в единичное состояние J и триггер переходит в единичное состояние.

Универсальный триггер не имеет запрещенной комбинации входных сигналов и при $J=1$ и $K=1$ состояние триггера меняется на противоположное.

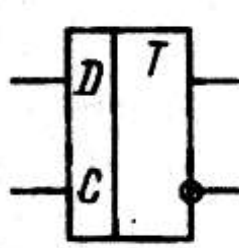
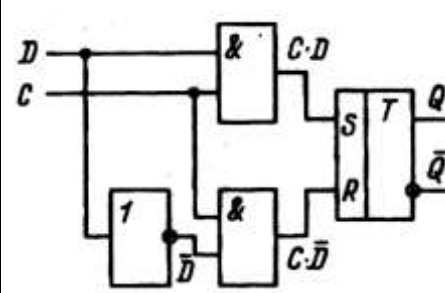
Срабатывание триггера с двухступенчатым запоминанием информации происходит в два этапа:

1) при положительном перепаде напряжения на входе C ($C=1$) новое состояние формируется в первом RS-триггере, а логические уровни на выходах JK триггера не изменяются;

2) при отрицательном перепаде на входе C ($C=0$) новое состояние, сформированное в первом RS-триггере передается во второй RS- триггер и меняются логические уровни на выходах JK-триггера.

Синхронный D – триггер

Условное обозначение и внутренняя структура триггера представлены на рисунке 16. Состояния триггера представлены в таблице 10.

		<p>Таблица 10. Состояния триггера при $C=1$</p> <table border="1" style="margin: auto; border-collapse: collapse;"> <thead> <tr> <th>Вход</th> <th>Выход</th> </tr> </thead> <tbody> <tr> <td>D</td> <td>Q</td> </tr> <tr> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> </tr> </tbody> </table>	Вход	Выход	D	Q	0	0	1	1
Вход	Выход									
D	Q									
0	0									
1	1									
Рисунок 16. Условное обозначение и внутренняя структура триггера										

При $C=0$ срабатывание триггера не происходит.

При $C=1$ и $D=0$ триггер устанавливается в нулевое состояние. При $C=1$ и $D=1$ триггер устанавливается в единичное состояние.

T-триггер

Условное обозначение и внутренняя структура триггера представлены на рисунке 17. Состояния триггера представлены в таблице 11.

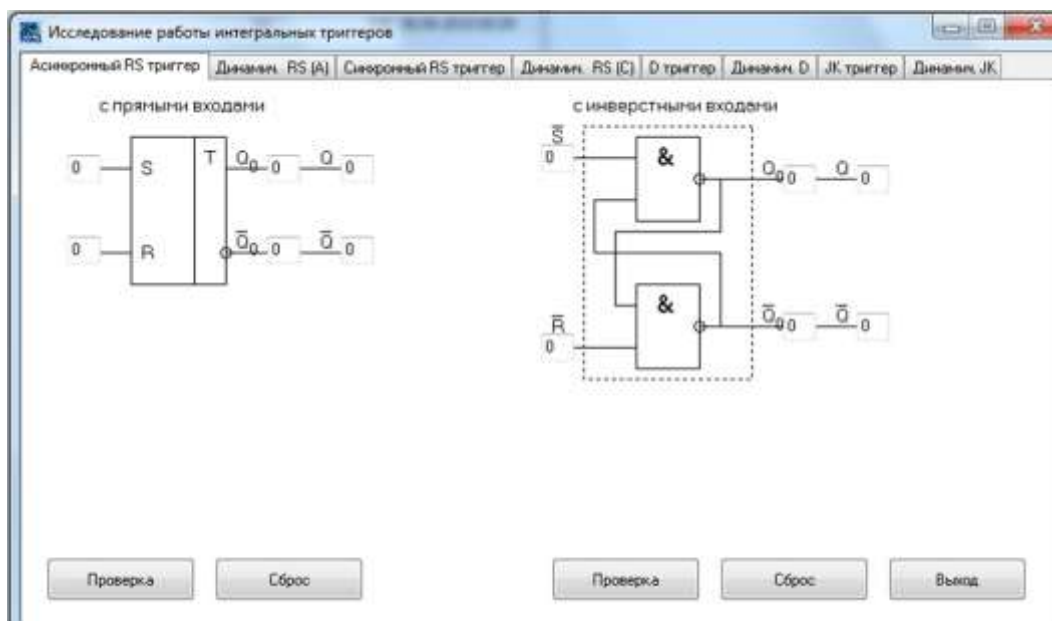
		<p>Таблица 11. Состояния триггера</p> <table border="1" style="margin: auto; border-collapse: collapse;"> <thead> <tr> <th>Вход</th> <th>Выход</th> </tr> </thead> <tbody> <tr> <td>T</td> <td>Q</td> </tr> <tr> <td></td> <td>$\overline{Q_0}$</td> </tr> <tr> <td>x</td> <td>Q_0</td> </tr> </tbody> </table>	Вход	Выход	T	Q		$\overline{Q_0}$	x	Q_0
Вход	Выход									
T	Q									
	$\overline{Q_0}$									
x	Q_0									
Рисунок 17. Условное обозначение и внутренняя структура триггера										

Состояние триггера меняется на противоположное, если на вход поступает прямоугольный импульс, во всех остальных случаях срабатывание триггера не происходит и он остается в исходном состоянии Q_0 .

Порядок выполнения работы:

1. Исследование работы асинхронного RS-триггера

1.1. Выполнить проверку состояний асинхронного RS-триггера



Исходное состояние триггера устанавливать на выходах триггера (в «0» состоянии $Q_0 = 0, \bar{Q}_0 = 1$, в «1» состоянии $Q_0 = 1, \bar{Q}_0 = 0$). Входные сигналы подавать на входы S и R. Новое состояние фиксировать по выходам Q и \bar{Q} . Результаты записать в таблицы.

Состояния асинхронного RS-триггера с прямыми входами.

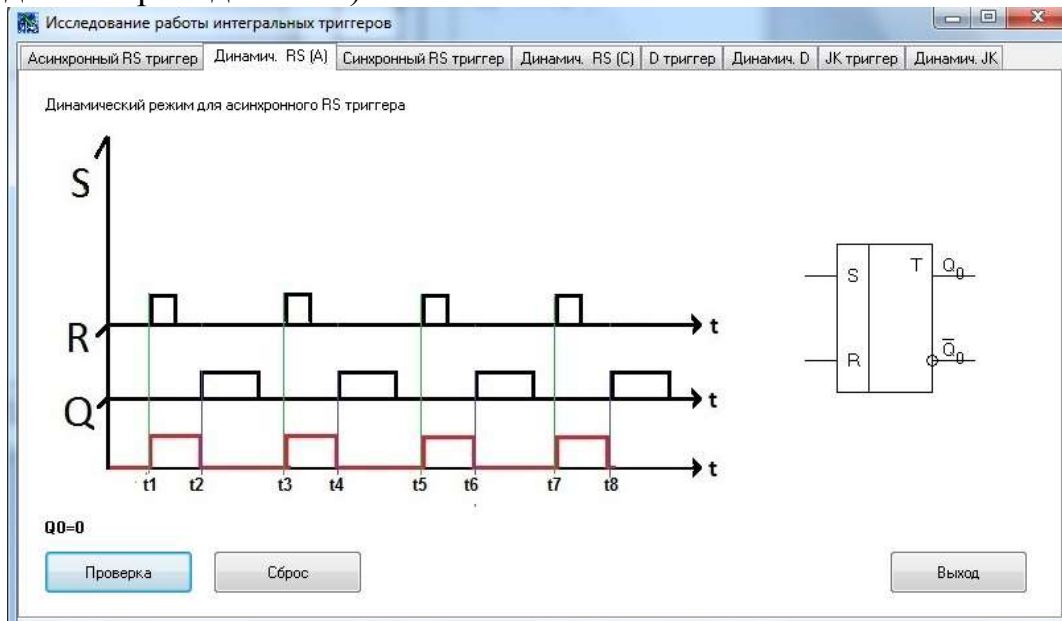
Исходное состояние		Входные сигналы		Следующее состояние	
Q_0	\bar{Q}_0	S	R	Q	\bar{Q}
0	1	0	0		
1	0	0	0		
0	1	0	1		
1	0	0	1		
0	1	1	0		
1	0	1	0		
0	1	1	1		
1	0	1	1		

Состояния асинхронного RS-триггера с инверсными входами.

Исходное состояние		Входные сигналы		Следующее состояние	
Q_0	\bar{Q}_0	\bar{S}	\bar{R}	Q	\bar{Q}
0	1	0	0		
1	0	0	0		
0	1	0	1		
1	0	0	1		
0	1	1	0		
1	0	1	0		
0	1	1	1		
1	0	1	1		

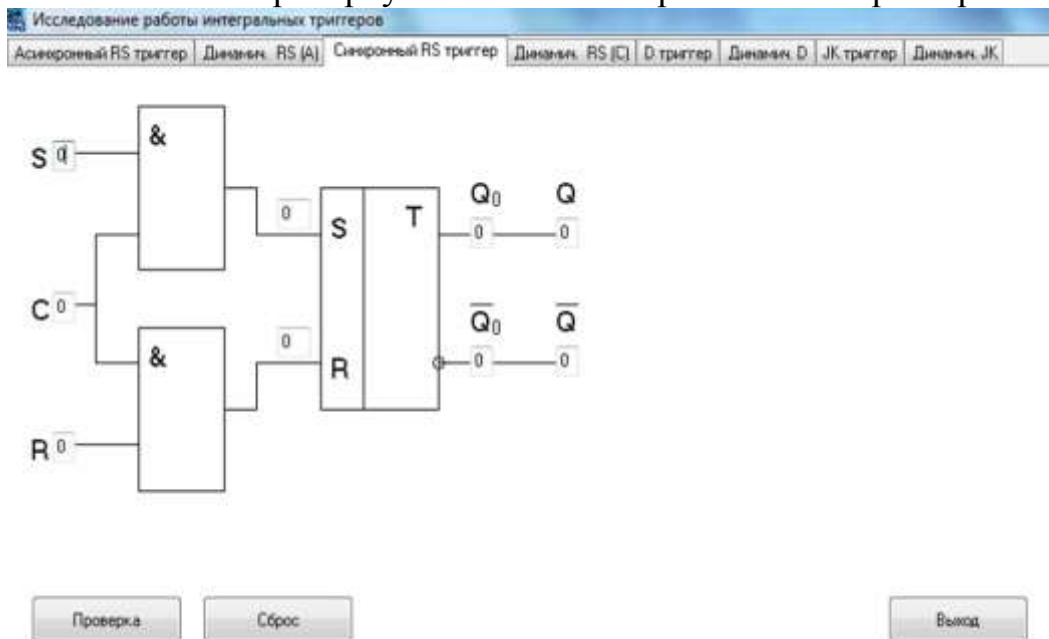
1.2. Получить и зарисовать графики динамического режима работы асинхронного триггера в отчет по лабораторной работе:

1.3. На графиках временных диаграмм работы асинхронного триггера показать временной интервал, соответствующий действию входных сигналов (по заданию преподавателя).



2. Исследование работы синхронного RS-триггера

2.1. Выполнить проверку состояний синхронного RS-триггера



Исходное состояние триггера устанавливать на выходах триггера (в «0» состоянии $Q_0 = 0, \overline{Q}_0 = 1$, в «1» состоянии $Q_0 = 1, \overline{Q}_0 = 0$). Входные сигналы подавать на входы S, C и R. Новое состояние фиксировать по выходам Q и \overline{Q} . Результаты записать в таблицу.

Состояния синхронного RS - триггера

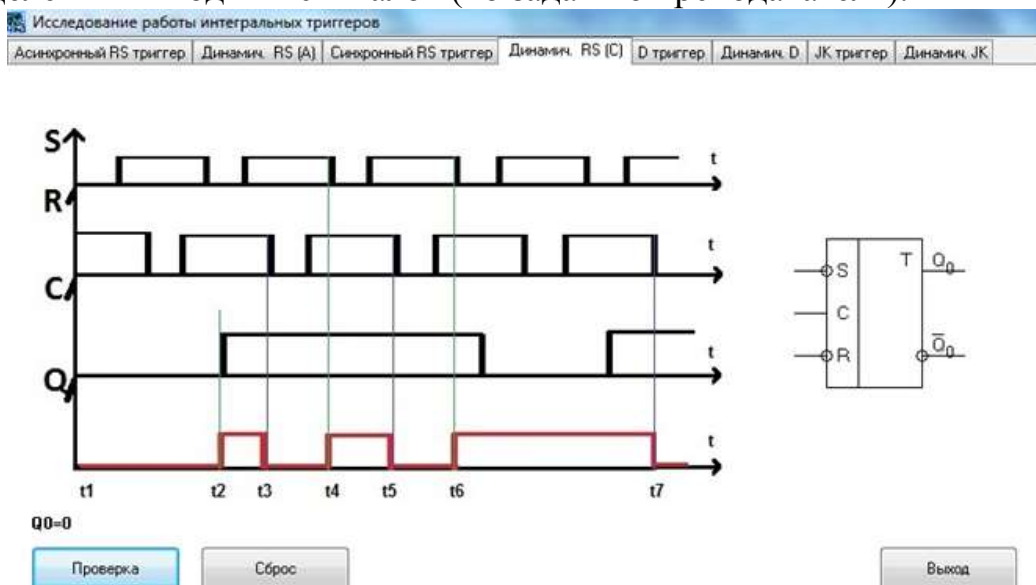
Исходное состояние		Входные сигналы			Следующее состояние	
Q_0	\overline{Q}_0	S	R	C	Q	\overline{Q}

0	1	0	0	1		
1	0	0	0	1		
0	1	0	0	0		
1	0	0	0	0		
0	1	0	1	1		
1	0	0	1	1		
0	1	0	1	0		
1	0	0	1	0		
0	1	1	0	1		
1	0	1	0	1		
0	1	1	0	0		
1	0	1	0	0		
0	1	1	1	1		
1	0	1	1	1		
0	1	1	1	0		
1	0	1	1	0		

2.2. Используя схему внутренней структуры синхронного RS -триггера показать порядок срабатывания элементов триггера при действии при действии на входе С уровня лог. «0» и лог. «1» (по заданию преподавателя).

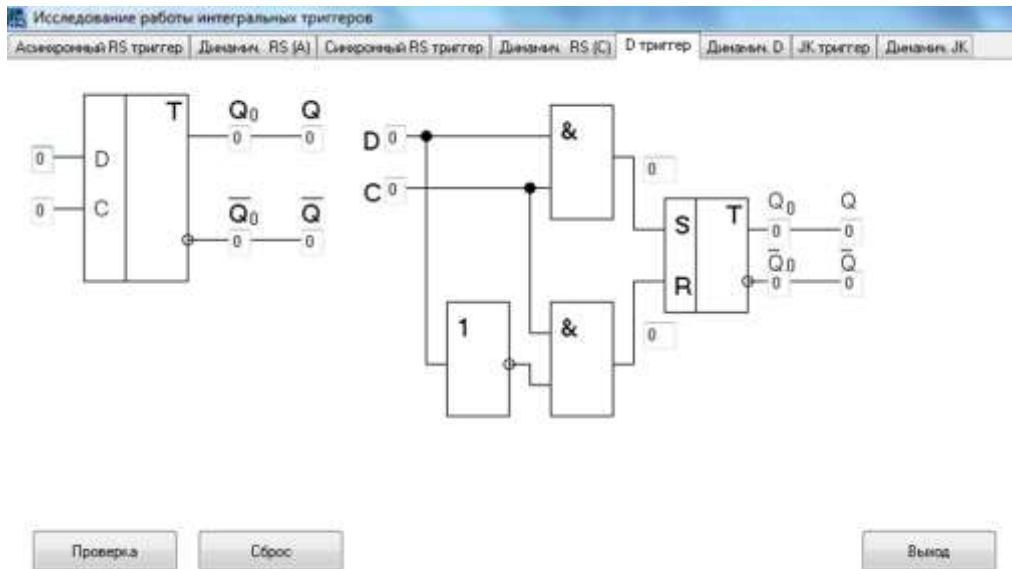
2.3. Получить и перенести графики динамического режима работы синхронного RS - триггера в отчет по лабораторной работе:

2.4. На графиках временных диаграмм работы синхронного RS - триггера показать временной интервал, соответствующий действию определенных входных сигналов (по заданию преподавателя).



3. Исследование работы D-триггера

3.1. Выполнить проверку состояний синхронного D-триггера



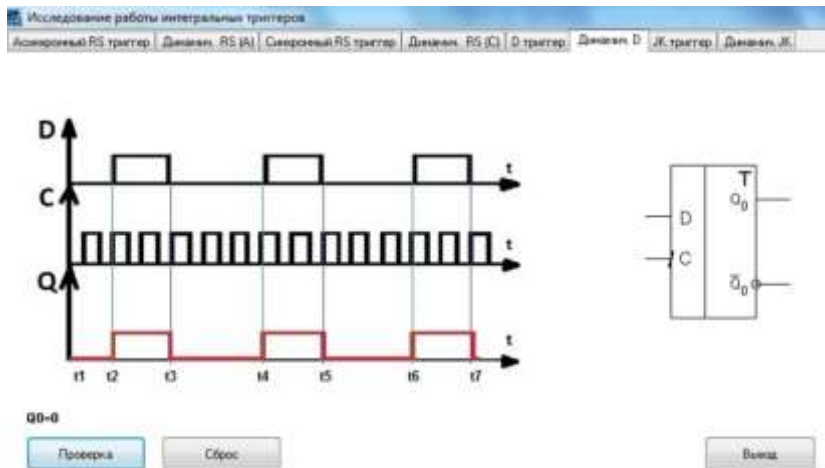
Исходное состояние триггера устанавливать на выходах триггера (в «0» состоянии $Q_0 = 0, \overline{Q}_0 = 1$, в «1» состоянии $Q_0 = 1, \overline{Q}_0 = 0$). Входные сигналы подавать на входы D и C . Новое состояние фиксировать по выходам Q и \overline{Q} . Результаты записать в таблицу.

Состояния синхронного D – триггера

Исходное состояние		Входные сигналы		Следующее состояние	
Q_0	\overline{Q}_0	D	C	Q	\overline{Q}
0	1	0	1		
1	0	0	1		
0	1	0	0		
1	0	0	0		
0	1	1	1		
1	0	1	1		
0	1	1	0		
1	0	1	0		

3.2. Используя схему внутренней структуры D –триггера показать порядок срабатывания элементов триггера при действии на входе C уровня лог «0» и лог. «1» (по заданию преподавателя).

3.3. Получить и перенести графики динамического режима работы синхронного D -триггера в отчет по лабораторной работе.



3.4. На графиках временных диаграмм работы синхронного D-триггера показать временной интервал, соответствующий действию определенных входных сигналов (по заданию преподавателя).

4. Исследование работы JK-триггера

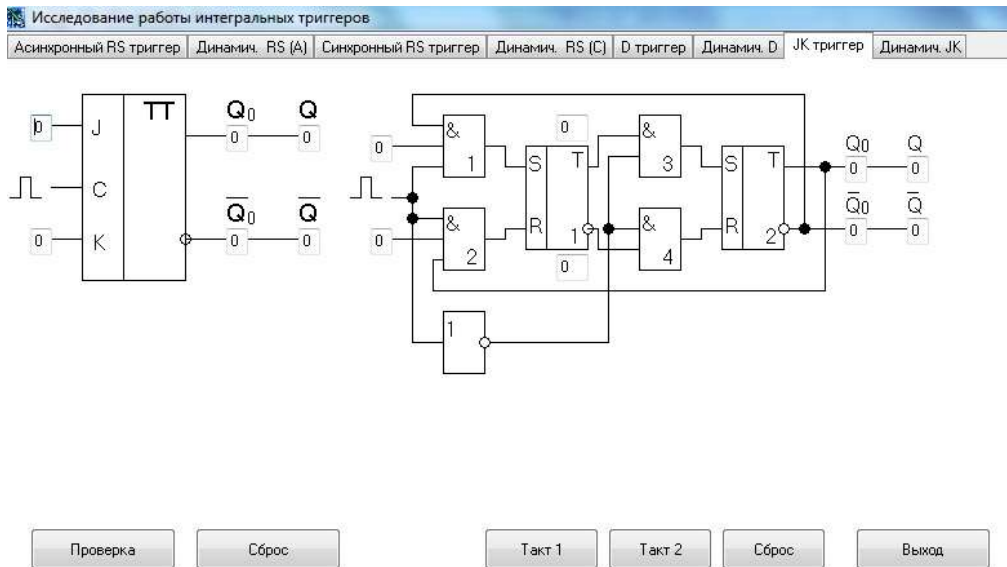
4.1. Выполнить проверку состояний синхронного JK-триггера

Исходное состояние триггера устанавливать на выходах триггера (в «0» состоянии $Q_0 = 0, \overline{Q}_0 = 1$, в «1» состоянии $Q_0 = 1, \overline{Q}_0 = 0$). Входные сигналы подавать на входы **J** и **K** (на входе **C** должен действовать прямоугольный импульс). Новое состояние фиксировать по выходам **Q** и \overline{Q} . Результаты записать в таблицу.

Состояния синхронного JK-триггера (на входе **C** должен действовать прямоугольный импульс)

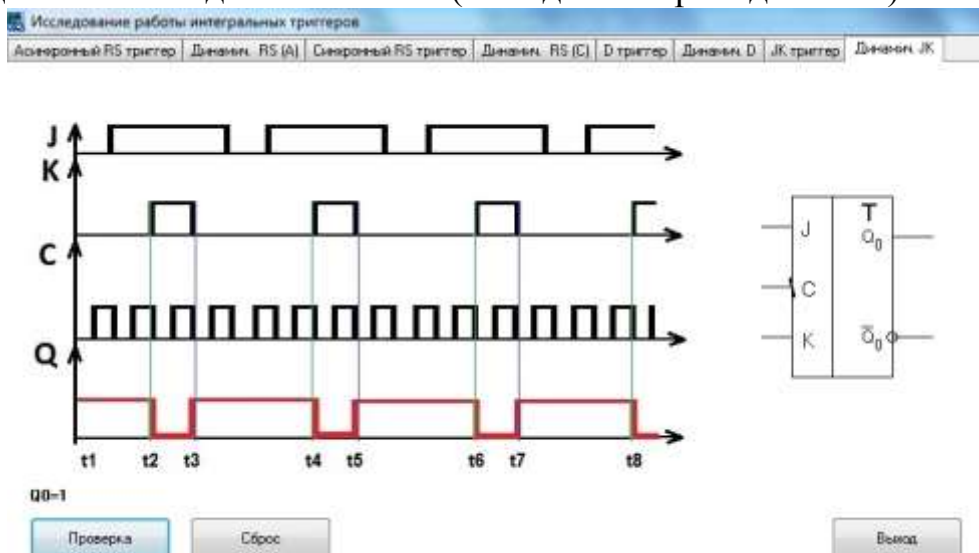
Исходное состояние		Входные сигналы		Следующее состояние	
Q_0	\overline{Q}_0	J	K	Q	\overline{Q}
0	1	0	0		
1	0	0	0		
0	1	0	1		
1	0	0	1		
0	1	1	0		
1	0	1	0		
0	1	1	1		
1	0	1	1		

4.2. Используя схему внутренней структуры JK-триггера показать порядок срабатывания элементов триггера при действии «Такта 1» и «Такта 2» (по заданию преподавателя)



4.3. Получить и зарисовать графики динамического режима работы синхронного **JK** -триггера в отчет по лабораторной работе:

4.4. На графиках временных диаграмм работы синхронного **JK** - триггера показать временной интервал, соответствующий действию определенных входных сигналов (по заданию преподавателя).



5. Сделать выводы по работе.

6. Оформить отчет.

7. Ответить на контрольные вопросы

Контрольные вопросы.

1. Привести функциональное обозначение и таблицу функционирования асинхронного RS – триггера с прямыми входами.

2. Привести функциональное обозначение и таблицу функционирования асинхронного RS – триггера с инверсными входами.

3. Привести функциональное обозначение и таблицу функционирования синхронного RS - триггера.

4. Привести функциональное обозначение и таблицу функционирования синхронного D - триггера.

5. Привести функциональное обозначение и таблицу функционирования универсального JK - триггера.

6. Привести функциональное обозначение и таблицу функционирования T – триггера.

7. Пояснить назначение выводов и принцип работы всех этих триггеров.

Лабораторная работа № 7

Тема: «Исследование работы регистра»

Цель работы: Исследовать работу регистра сдвига, научиться строить диаграммы состояния регистра, осуществлять контроль работы в

Оборудование: компьютерная аудитория, программа виртуального лабораторного практикума

Краткие теоретические сведения

Регистр служит для хранения двоичных чисел. В нем также может выполняться сдвиг числа влево и вправо.

Схема последовательного сдвигающего регистра представлена на рисунке 18.

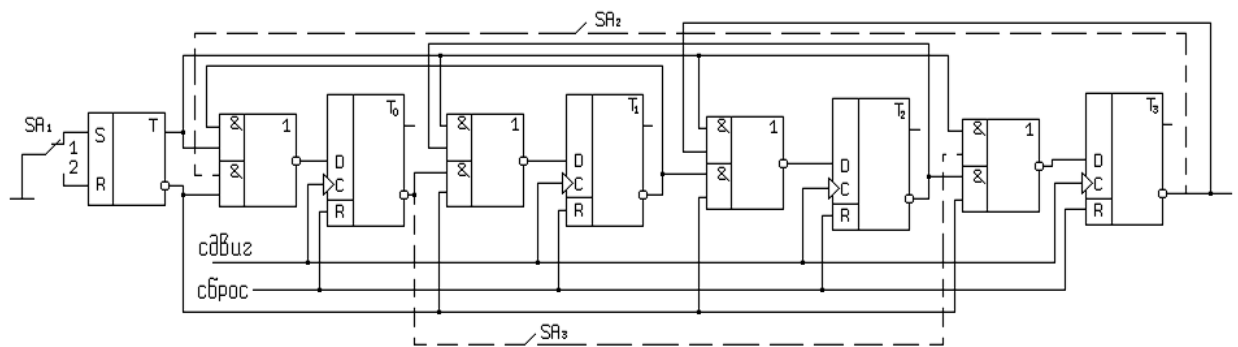


Рисунок 18. Схема последовательного сдвигающего регистра

Регистр состоит из D-триггеров, которые служат для запоминания отдельных разрядов числа, и логических элементов, которые организуют различные режимы работы. Объединенные входы R образуют цепь сброса. На объединенные входы С поступают сдвигающие импульсы. RS – триггер служит для выбора направления сдвига.

Если SA1 в положении 1, то RS – триггер в нулевом состоянии, и в схеме выполняется сдвиг вправо.

Если SA1 в положении 2, то RS – триггер в единичном состоянии, и в схеме выполняется сдвиг влево. Прямой выход RS – триггера соединяется со всеми верхними элементами «и» схем «2и-или-не». Инверсный вход RS – триггера соединяется со всеми нижними элементами «и» схем «2и-или-не».

Цепь сдвига вправо образуется при соединении инверсных выходов D – триггеров с нижними элементами «и» схем «2и-или-не». Цепь OC при сдвиге вправо показана штриховой линией и замыкается переключателем SA2.

Цепь сдвига влево образуется при соединении инверсных выходов D – триггеров с верхними элементами «и» схем «2и-или-не». Цепь OC при сдвиге влево показана штриховой линией и замыкается переключателем SA3.

Выходы схем «2и-или-не» соединены с входами D.

Для определения, в какое состояние перейдет регистр после подачи сдвигающего импульса необходимо:

1. Исходное состояние регистра показать на прямых и инверсных выходах D – триггеров.

2. Задать направление сдвига с помощью RS – триггера.

3. Указать логические уровни на всех входах схем «2и-или – не». Если цепь ОС разомкнута, то на соответствующий вход схемы «2и-или-не» действует лог «1».

4. Определить логические уровни на выходах схем «2и-или-не».

5. При подачи сдвигающего импульса D-триггеры устанавливаются в состояния, соответствующее логическим уровням, действующим на входах D.

Микросхема K155ИР11

Представляет собой четырех разрядный сдвиговый регистр.

	Назначение выводов: D0 – D3 – информационные входы, Q0 – Q3 – информационные выходы, S0, S1 – входы выбора режима, R – инверсный вход сброса, C – синхронизирующий вход, на него подается сдвигающие импульсы. DSR – вход последовательной загрузки при сдвиге вправо, DSL – вход последовательной загрузки при сдвиге влево.
--	--

При S0=0, S1=0 – режим хранения.

При S0=1, S1=1 – режим параллельной загрузки. При подаче на вход C импульса информация со входов D0 – D3 загружается в регистр и появляется на выходах Q0 – Q3.

При S0=1, S1=0 – режим сдвига вправо. Информация смещается от Q0 к Q3. При этом Q3, выдвигаясь из регистра, теряется, а на освободившемся месте в Q0 записывается то, что действует на входе DSR.

При S0=0, S1=1 – режим сдвига влево. Информация смещается от Q3 к Q0. При этом Q0, выдвигаясь из регистра, теряется, а на освободившееся место в Q3 записывается то, что действует на входе DSL.

Порядок выполнения работы

1.1. Выполнить проверку функционирования последовательного сдвигающего регистра

Исходное состояние регистра устанавливать на выходах Q₀, Q₁, Q₂, Q₃. Входные сигналы подавать на входы D₀, D₁, D₂, D₃. Режим работы задавать

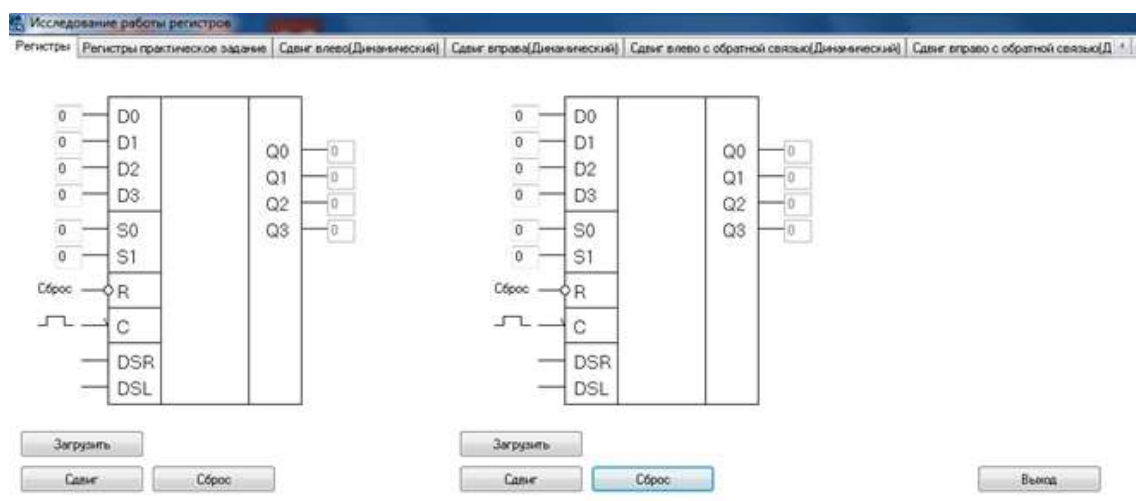
логическими уровнями на входах S_0, S_1 . Состояние регистра фиксировать по выходам Q_0, Q_1, Q_2, Q_3 . Результаты записать в таблицы.

Состояния сдвигающего регистра (без обратной связи)

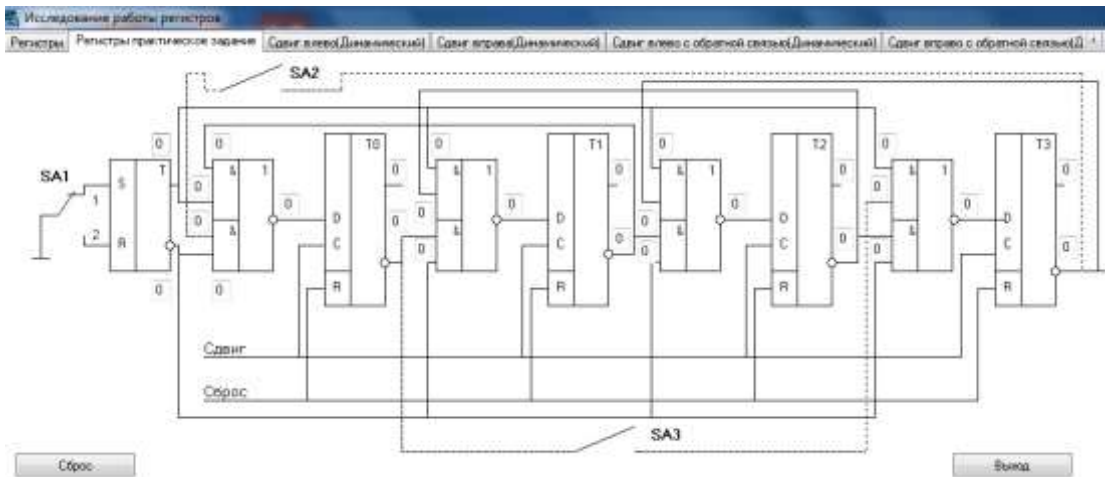
Сдвиг вправо							Сдвиг влево						
	S0	S1	Q0	Q1	Q2	Q3		S0	S1	Q0	Q1	Q2	Q3
Загрузка							Загрузка						
Сдвиг. имп.							Сдвиг. имп.						
1							1						
2							2						
3							3						
4							4						
5							5						
6							6						
7							7						

Состояния сдвигающего регистра (с обратной связью)

Сдвиг вправо							Сдвиг влево						
	S0	S1	Q0	Q1	Q2	Q3		S0	S1	Q0	Q1	Q2	Q3
Загрузка							Загрузка						
Сдвиг. имп.							Сдвиг. имп.						
1							1						
2							2						
3							3						
4							4						
5							5						
6							6						
7							7						

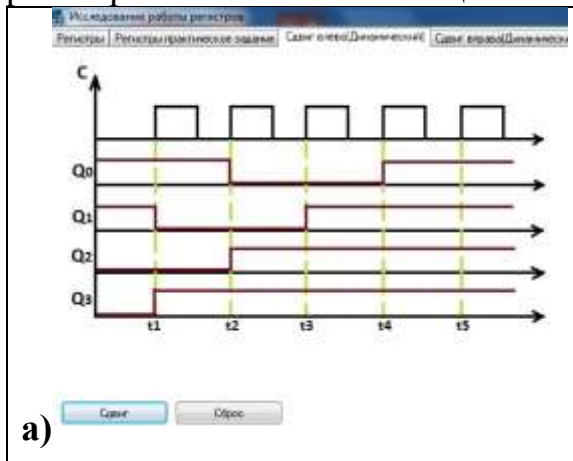


1.2. Используя схему внутренней структуры регистра показать срабатывание его элементов в различных режимах работы (по заданию преподавателя).



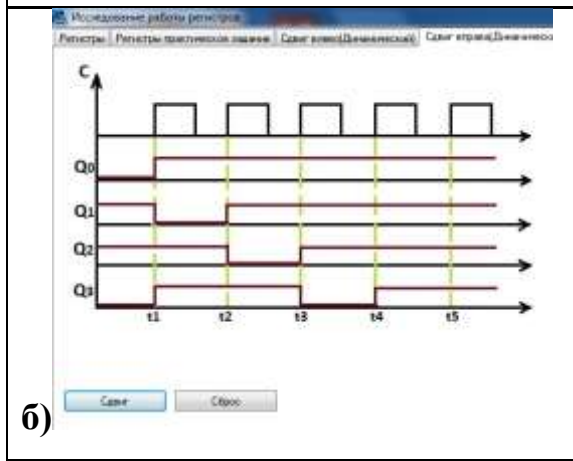
1.3. Получить и перенести графики динамического режима работы регистра в отчет по лабораторной работе:

1.4. По графикам временных диаграмм определить режим работы регистра и заполнить таблицы состояний.



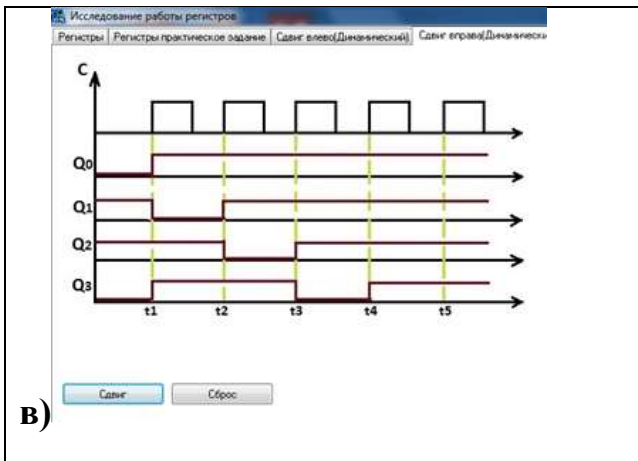
а)

	Q0	Q1	Q2	Q3
Исх сост.				
Сдвиг. имп.				
1				
2				
3				
4				
5				
6				



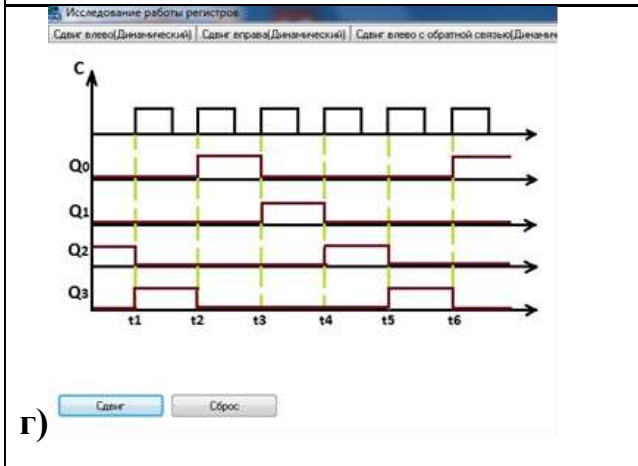
б)

	Q0	Q1	Q2	Q3
Исх сост.				
Сдвиг. имп.				
1				
2				
3				
4				
5				
6				



В)

	Q0	Q1	Q2	Q3
Исх сост.				
Сдвиг. имп.				
1				
2				
3				
4				
5				
6				



Г)

	Q0	Q1	Q2	Q3
Исх сост.				
Сдвиг. имп.				
1				
2				
3				
4				
5				
6				

2. Сделать выводы по работе.
3. Оформить отчет.
4. Ответить на контрольные вопросы

Контрольные вопросы.

1. Пояснить назначение и виды регистров.
2. Привести функциональное обозначение регистра K155ИР11.

Пояснить назначение выводов.

3. Пояснить режимы работы регистра (на конкретных примерах).
4. Начертить схему сдвигающего регистра. Пояснить назначение элементов и цепей.
5. Пояснить принцип работы сдвигающего регистра (на конкретном примере).

Лабораторная работа № 8

Тема: Исследование работы счетчиков.

Цель: Исследовать работу суммирующих и вычитающих двоичных счетчиков. Уметь строить диаграммы состояний счетчиков и осуществлять контроль работы счетчиков в статистическом и динамическом режимах.

Оборудование: компьютерная аудитория, программа виртуального лабораторного практикума

Краткие теоретические сведения.

Счетчик – устройство, выполняющее в двоичной системе счисления счет импульсов, поступивших на его вход. Счетчик состоит из триггеров, у которых может быть организован счетный вход, и логических элементов для организации различных режимов работы и передачи переносов от младших разрядов к старшим. Счетчики бывают суммирующие, вычитающие и реверсивные. Схема реверсивного двоичного счетчика представлена на рисунке 19.

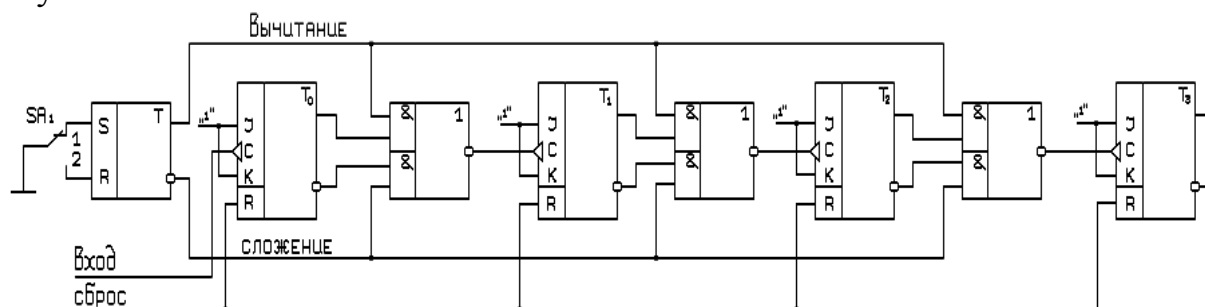


Рисунок 19. Схема реверсивного двоичного счетчика

Схема состоит из RS – триггера, который служит для выбора режима счета и JK – триггеров, которые служат для запоминания отдельных разрядов двоичного числа.

В JK-триггерах входы J и K объединены и на них действует логическая «1», а вход С используется как счетный вход. Входы R образуют цепь сброса, а входные импульсы поступают на вход С триггера T_0 .

Если переключатель SA находится в положении «1», то RS – триггер в нулевом состоянии и в схеме выполняется сложение. Если SA в положении «2», то RS – триггер находится в единичном состоянии и в схеме выполняется вычитание.

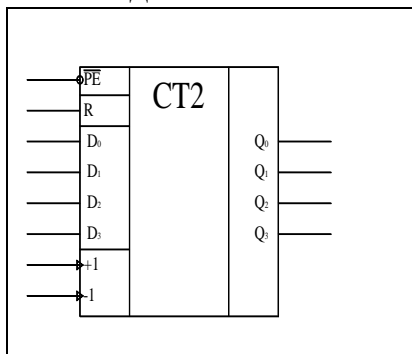
Выходы схем «2и-или-не» соединены со входами С триггеров T_1, T_2, T_3 . Прямой выход RS – триггера и прямые выходы JK – триггеров соединены с верхними элементами «и» схем «2и-или-не», инверсный выход RS – триггера и инверсные выходы JK – триггеров соединены с нижними элементами «и» схем «2и-или-не».

Чтобы определить в какое состояние перейдет счетчик после поступления импульса на его вход необходимо:

1. Исходное состояние счетчика показать на прямых и инверсных выходах JK – триггеров.
2. Задать режим счета с помощью RS – триггера.
3. Указать логические уровни на всех входах схем «2и-или-не».
4. Определить логические уровни на выходах схем «2и-или-не».
5. При подаче импульса на вход счетчика триггер T_0 всегда меняет свое состояние на противоположное, а триггеры T_1, T_2, T_3 меняют свое состояние на противоположное, если на входе С произойдет отрицательный перепад напряжения, в остальных случаях состояния триггеров не изменятся.

Микросхема К155ИЕ7

Микросхема К155ИЕ7 представляет собой 4 – х разрядный реверсивный двоичный счетчик.



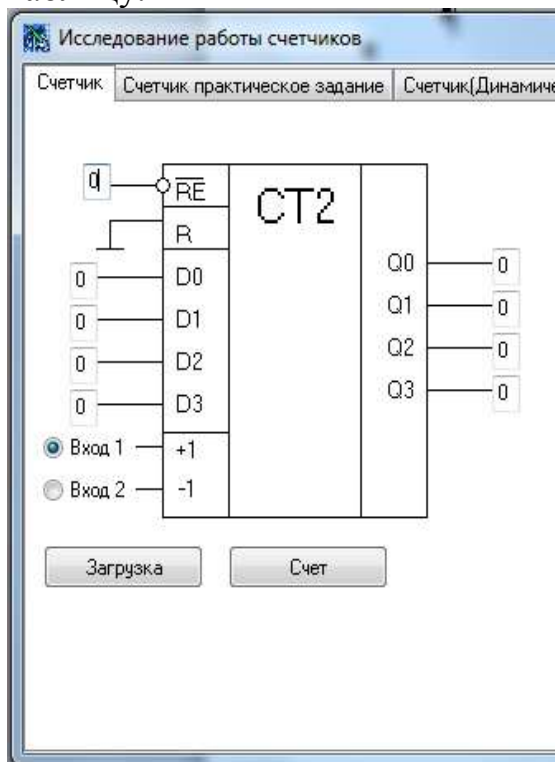
Назначение выводов:
 D0 – D3 - Информационные входы.
 R - прямой вход сброса.
 Cu - вход счета на увеличение
 Cd – вход счета на уменьшение.
 Tcu – Tcd – выходы переноса при счете на увеличение и на уменьшение.

PE – инверсный вход разрешение параллельной загрузки. Если на нем действует логический «0», то информация с входов D0 – D3 загружается в счетчик и появляется на выходах Q0 – Q3.

Порядок выполнения работы

1.1. Выполнить проверку функционирования реверсивного двоичного счетчика

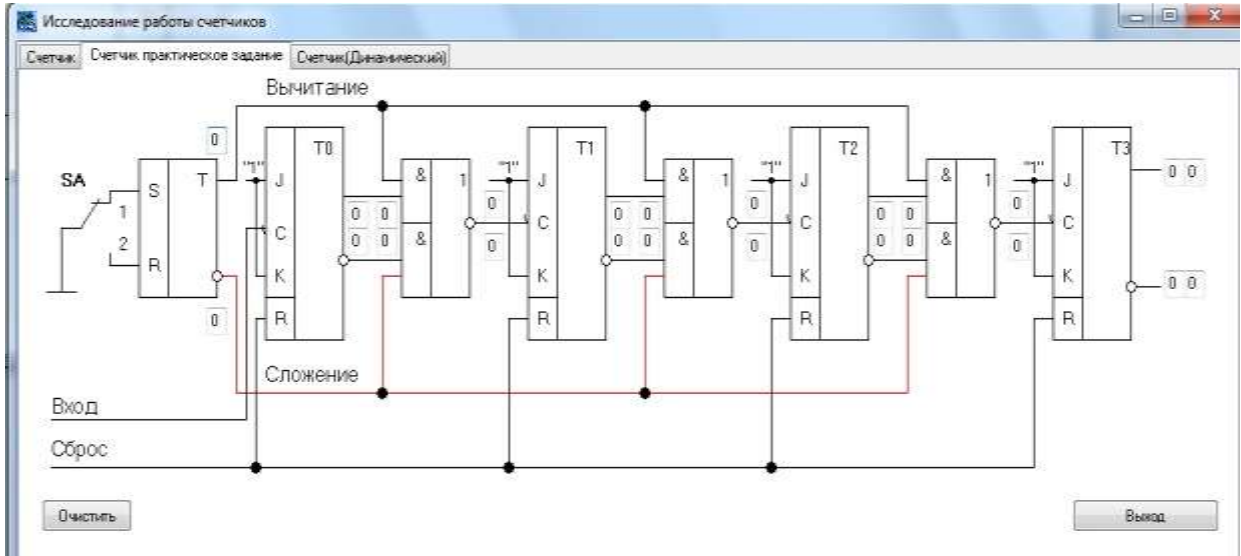
Исходное состояние счетчика устанавливать на выходах Q₀, Q₁, Q₂, Q₃. Входные сигналы подавать на входы D₀, D₁, D₂, D₃. Режим загрузки задается уровнем лог. «0» на входе PE. Режим «сложения» выбирается по «Входу 1», режим «вычитания» выбирается по «Входу 2». Состояние счетчика фиксировать по выходам Q₀, Q₁, Q₂, Q₃. Результаты записать в таблицу.



Число входных импульсов	Режим сложения				Режим вычитания			
	Q ₃	Q ₂	Q ₁	Q ₀	Q ₃	Q ₂	Q ₁	Q ₀
Загрузка								
1								
2								
3								
4								
5								
6								
7								
8								
9								
10								
11								
12								
13								
14								
15								
16								

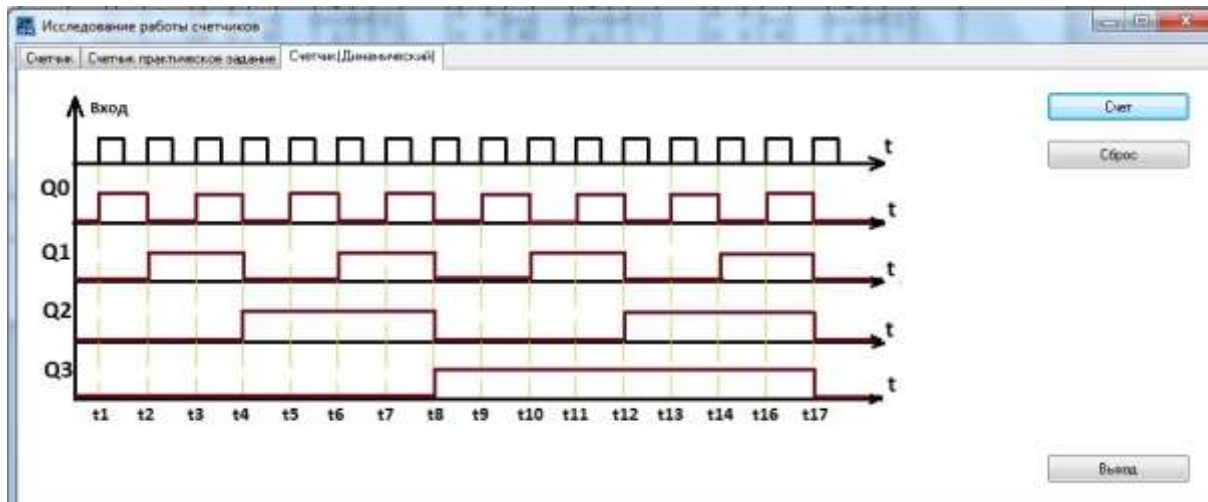
1.2. Используя схему внутренней структуры счетчика показать срабатывание его элементов в различных режимах работы (по заданию)

преподавателя).



1.3. Получить и перенести графики динамического режима работы счетчика в отчет по лабораторной работе:

1.4. По временным диаграммам определить период и частоту следования импульсов на выходах Q_0 , Q_1 , Q_2 , Q_3 , если задан период входных импульсов.(по заданию преподавателя)..



2. Сделать выводы по работе.

3. Оформить отчет.

4. Ответить на контрольные вопросы

Контрольные вопросы.

1. Пояснить назначение и виды счетчиков.

2. Привести функциональное обозначение счетчика К155ИЕ7.

Пояснить назначение выводов.

3. Как определить период циклической работы счетчика и количество импульсов, которое он может сосчитать.

4. Пояснить режимы работы счетчика (на конкретных примерах).

5. Пояснить назначение элементов и цепей схемы реверсивного

счетчика

6. Пояснить принцип работы реверсивного счетчика (на конкретном примере).

Лабораторная работа № 9

Тема: Исследование работы ЦАП и АЦП.

Цель работы: Проверить работу ЦАП и АЦП в статическом режиме. Исследовать временные диаграммы ЦАП.

Оборудование: компьютерная аудитория, программа виртуального лабораторного практикума

Краткие теоретические сведения

Аналого-цифровое преобразование информации выполняется в три этапа: дискретизация, квантование, кодирование.

На этапе дискретизации из непрерывного во времени сигнала выбираются отдельные его значения в тактовые моменты времени, отстоящие друг от друга на тактовый интервал T . T выбирается по теореме Котельникова: $T \leq \frac{1}{2F_{\max}}$, где F_{\max} - максимальная частота из спектра преобразуемого сигнала.

На этапе квантования диапазон изменения преобразуемой величины разбивается на уровни квантования, отстоящие друг от друга на шаг квантования Δ , и значения сигнала в тактовые моменты времени округляются до ближайшего уровня квантования.

На этапе кодирования номера уровней квантования в тактовые моменты времени записываются в виде двоичных кодов. Чтобы уменьшить ошибку на этапе квантования необходимо уменьшить шаг квантования Δ , что приведет к увеличению количества уровней квантования, а значит - к увеличению разрядности двоичных кодов, к усложнению аппаратуры, к снижению быстродействия.

Устройства, выполняющие преобразование аналоговой величины в цифровой код, называются аналого-цифровыми преобразователями (АЦП). Устройства, выполняющие преобразование цифрового кода в аналоговую величину, называются цифро-аналоговыми преобразователями (ЦАП). ЦАП и АЦП характеризуются статическими и динамическими параметрами. Статические параметры определяются по характеристике преобразования. К ним относятся: напряжение межкодового перехода, нелинейность, монотонность (для АЦП), разрешающая способность, точность, коэффициент преобразования, напряжение смещения нуля (для ЦАП). Динамические параметры оценивают быстродействие. К ним относятся: время задержки запуска, время преобразования, время цикла кодирования (для АЦП), время установки выходного сигнала, время нарастания, время переключения, время задержки распространения (для ЦАП).

Схема АЦП параллельного типа представлена на рисунке 20. Такой АЦП работает следующим образом: входной сигнал подается одновременно

на одни входы компараторов, в которых он сравнивается с опорными напряжениями, подаваемыми на другие входы компараторов от делителя опорных напряжений. В момент подачи на тактовый вход стробирующего сигнала на выходах компараторов фиксируется значение кода, соответствующее мгновенному значению входного сигнала. Далее результат кодирования с выходов компараторов подается на шифратор, в котором происходит преобразование в выбранный тип выходного кода АЦП. С выходов шифратора сформированный код подается на выходные каскады преобразователей внутрисхемных уровней АЦП в стандартные уровни ЭСЛ, ТТЛ или КМОП микросхем.

Основным узлом параллельных АЦП являются компараторы напряжения. Как правило, в быстродействующих АЦП компараторы выполняются стробируемыми, т. е. в состав компаратора входит устройство, переключающее компаратор из режима сравнения сигналов в режим хранения результатов.

Делитель опорных напряжений в параллельных АЦП служит для формирования опорных напряжений; их значения являются эталонами, с которыми сравнивается входной сигнал. Обычно делитель выполняется по схеме последовательного делителя напряжений. Число резисторов в делителе напряжений параллельного АЦП $N_k = 2^n - 1$. Номиналы резисторов делителя опорных напряжений одинаковы, за исключением первого и последнего резисторов, которые могут быть различны в конкретных реализациях АЦП. При этом получается линейная характеристика преобразования АЦП.

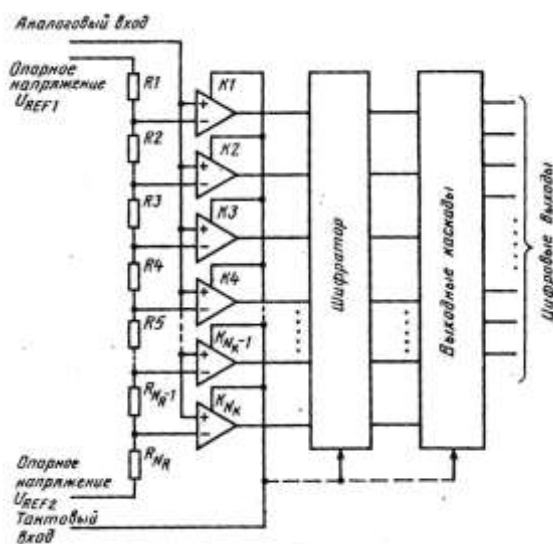


Рисунок 20. Схема АЦП параллельного типа

Шифратор в параллельных АЦП необходим для преобразования кода компараторов в выходной код АЦП заданного типа. Практически шифратор делается двух-трехступенчатым, что позволяет реализовать регулярность топологии. В состав шифратора могут входить регистры хранения, предназначенные для хранения промежуточных результатов шифрации.

Выходные каскады АЦП служат для получения стандартных цифровых уровней (ЭСЛ или ТТЛ) выходного кода.

Схема ЦАП со взвешенными резисторами в цепях эмиттеров представлена на рисунке 21.

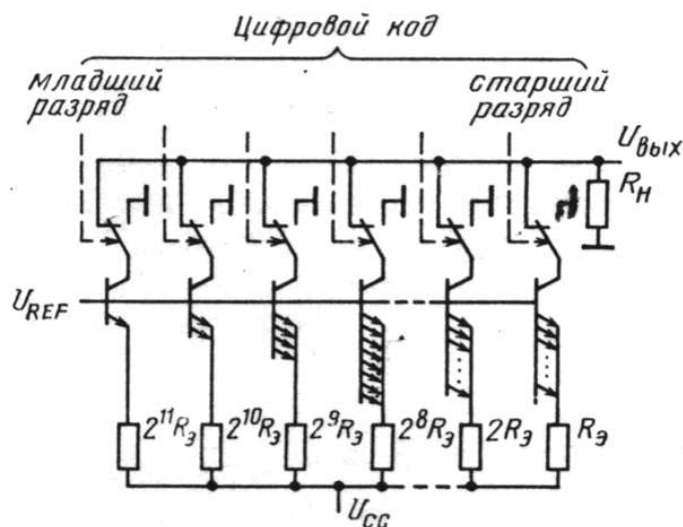


Рисунок 21. Схема ЦАП со взвешенными резисторами

В этом методе применяются эталонные величины с весами, зависящими от номера разряда, и в суммировании участвуют только те эталонные величины, для которых в соответствующем разряде входного кода имеется единица. При этом используется двоичный позиционный код или двоично-десятичный.

В случае двоичного позиционного кода значения всех разрядов поступают одновременно на все входы ЦАП. Работа таких ЦАП описывается выражением $X = P(a_1 2^{-1} + a_2 2^{-2} + \dots + a_i 2^{-b})$, где X — выходная аналоговая величина; a_i — коэффициенты соответствующих двоичных разрядов, которые принимают дискретные значения единица или нуль; P — опорный сигнал; b — число разрядов.

Опорным сигналом может служить напряжение постоянного или переменного тока. В преобразователях из опорного сигнала формируются эталонные величины, соответствующие значениям разрядов входного кода, которые суммируются и образуют дискретные значения выходной аналоговой величины.

Структура характеризуется малой рассеиваемой мощностью, независимостью токов разрядов друг от друга, большим диапазоном сопротивлений резисторов и большим значением напряжения смещения нуля на выход

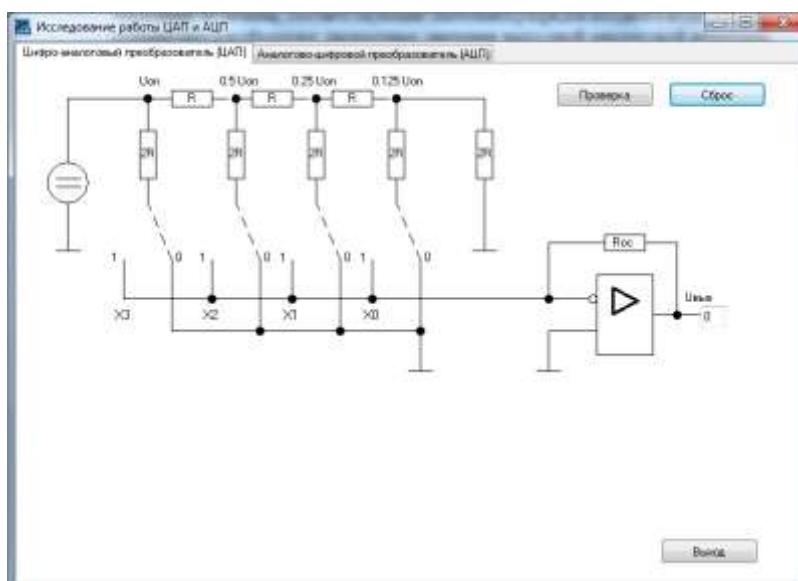
Порядок выполнения работы

1. Выполнить проверку функционирования цифро-аналогового преобразователя (ЦАП)

1.1. Проверить работу ЦАП в статическом режиме.

Для этого кодовые комбинации на входы ЦАП подавать переключателями X0, X1, X2, X3. Результат преобразования фиксировать на выходе ЦАП. Результаты записать в таблицу.

Входной код				U _{вых}
X3	X2	X1	X0	
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	



1.2. Построить характеристику преобразования ЦАП

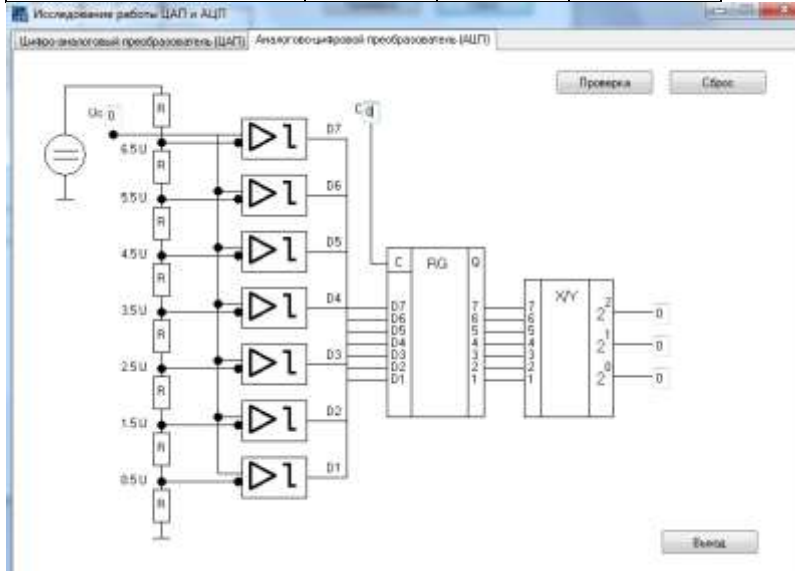
2. Выполнить проверку функционирования аналого-цифрового преобразователя (АЦП)

2. 1. Проверить работу АЦП в статическом режиме.

Для этого преобразуемое напряжение подавать на вход U_c. Результат преобразования фиксировать на выходах АЦП – 2², 2¹, 2⁰.

Результаты записать в таблицу.

Входное напряжение, U _c	Выходной код		
	2 ²	2 ¹	2 ⁰



3. Сделать выводы по работе.
4. Оформить отчет.
5. Ответить на контрольные вопросы.

Контрольные вопросы

1. Перечислить и пояснить этапы аналого-цифрового преобразования информации.
2. Перечислить и пояснить статические и динамические параметры ЦАП и АЦП.
3. Пояснить принцип работы АЦП параллельного типа.
4. Пояснить принцип работы ЦАП со взвешенными резисторами в цепях эмиттеров.

Лабораторная работа № 10

Тема: Исследование работы ОЗУ

Цель работы: изучить работу ОЗУ на примере ИС K155PY2.

Оборудование: компьютерная аудитория, программа виртуального лабораторного практикума

Краткие теоретические сведения

Микросхема K155PY2 (рисунок 22) – высокоскоростное ОЗУ с емкостью 64 бит. Данные в ОЗУ можно записывать и считывать. При считывании информации из ОЗУ она не разрушается. Ячейки в памяти организованы в матрицу RAM, имеющую 16 рядов и 4 колонки, что соответствует логической организации 16 слов по 4 бита каждое. Матрица

снабжена адресным дешифратором DC, который принимает четырехразрядный код адреса A0-A3 и выбирает с помощью одного из своих 16 выходов нужное четырехзначное слово. Четыре буферных входа данных DI₀-DI₃ снабжены входом разрешения записи WE. Каждый вход данных DO₀-DO₃ имеет открытый коллектор, что упрощает соединение нескольких ОЗУ РУ2 в более сложные матрицы. Данные на выходах инвертированы относительно тех, которые записаны в памяти.

Если выбран режим записи, то входы и выходы имеют комплементарные коды. Для считывания данных из ОЗУ после фиксации адресных данных на вход WE подается напряжение высокого уровня, а на вход доступа к нужной микросхеме памяти (условное обозначение: вход выбора кристалла) CS – низкого. Для записи сигналов требуется установить напряжение низкого уровня на входах управления WE и CS. Адресный код в это время тоже должен быть зафиксирован.

Следует учесть, что в режиме считывания выбранные ячейки памяти доступны для приема данных, поэтому логические сигналы на шинах требуется зафиксировать перед переключением уровней управления от низкого к высокому на входах CS или WE.

Микросхемы K155PY2 потребляет ток 100 мА, в варианте S 105 мА, в варианте LS 37 мА. Стекающий в выходной коллектор выходной ток более 24 мА. Для выборов режимов работы памяти РУ2 служит таблица 12.

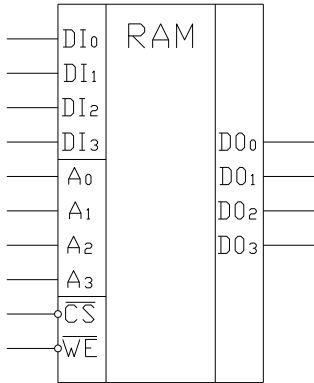


Рисунок 22. Условное обозначение ОЗУ

Таблица 12. Состояния ОЗУ

Режим работы	Входы			Выход
	CS	WE	DI	DO
Запись	0	0	0	1
	0	0	1	0
Считывание	0	1	*	Dn
Запрет записи	1	0	0	1
	1	0	1	0
Отключение входов	1	1	*	1

Порядок выполнения работы

1. Выполнить проверку функционирования ОЗУ

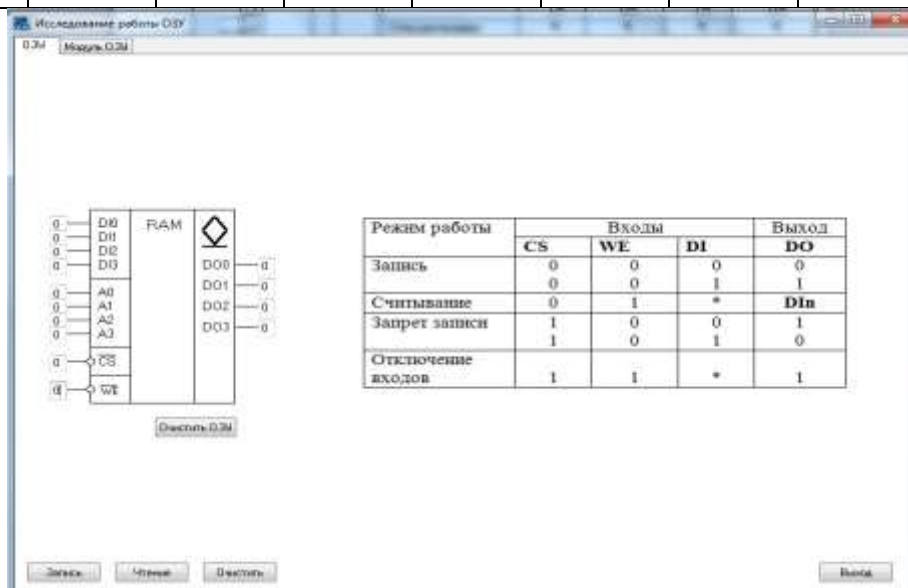
1.1. Проверить работу ОЗУ в режиме записи. Для этого на вход WE подать 0, на вход CS подать 0. Задать адрес ячейки на входах A₀-A₃, информацию на входах DI₀-DI₃. Результаты записать в таблицу.

CS	WE	A ₃	A ₂	A ₁	A ₀	DI ₃	DI ₂	DI ₁	DI ₀

1.2. Убедиться в том, что в режиме записи информация на выходах DO₃-DO₀ не изменяется.

1.3. Проверить работу ОЗУ в режиме считывания. Для этого на вход WE подать уровень логической единицы, на вход CS подать уровень логического нуля. Задать адреса ячеек на входах A₀-A₃ и считать информацию с выходов DO₀-DO₃. Результаты записать в таблицу.

CS	WE	A ₃	A ₂	A ₁	A ₀	DO ₃	DO ₂	DO ₁	DO ₀



2. Выполнить проверку функционирования модуля ОЗУ

2.1. Проверить работу модуля ОЗУ в режиме записи

Для этого модуль ОЗУ перевести в режим «Запись». Задать адрес ячейки на входах 1–5 шины адреса, информацию на входах 1–8 шины входных данных. Выполнить запись информации кнопкой «Запись». Результаты записать в таблицу.

№	Адрес ячейки	Содержимое ячейки	Шина адреса					Шина входных данных								Шина выходных данных											
			5	4	3	2	1	8	7	6	5	4	3	2	1	8	7	6	5	4	3	2	1				
1																											
2																											
3																											

2.2. На схеме модуля ОЗУ выделить активные цепи для записи числа в ячейку (по заданию преподавателя).

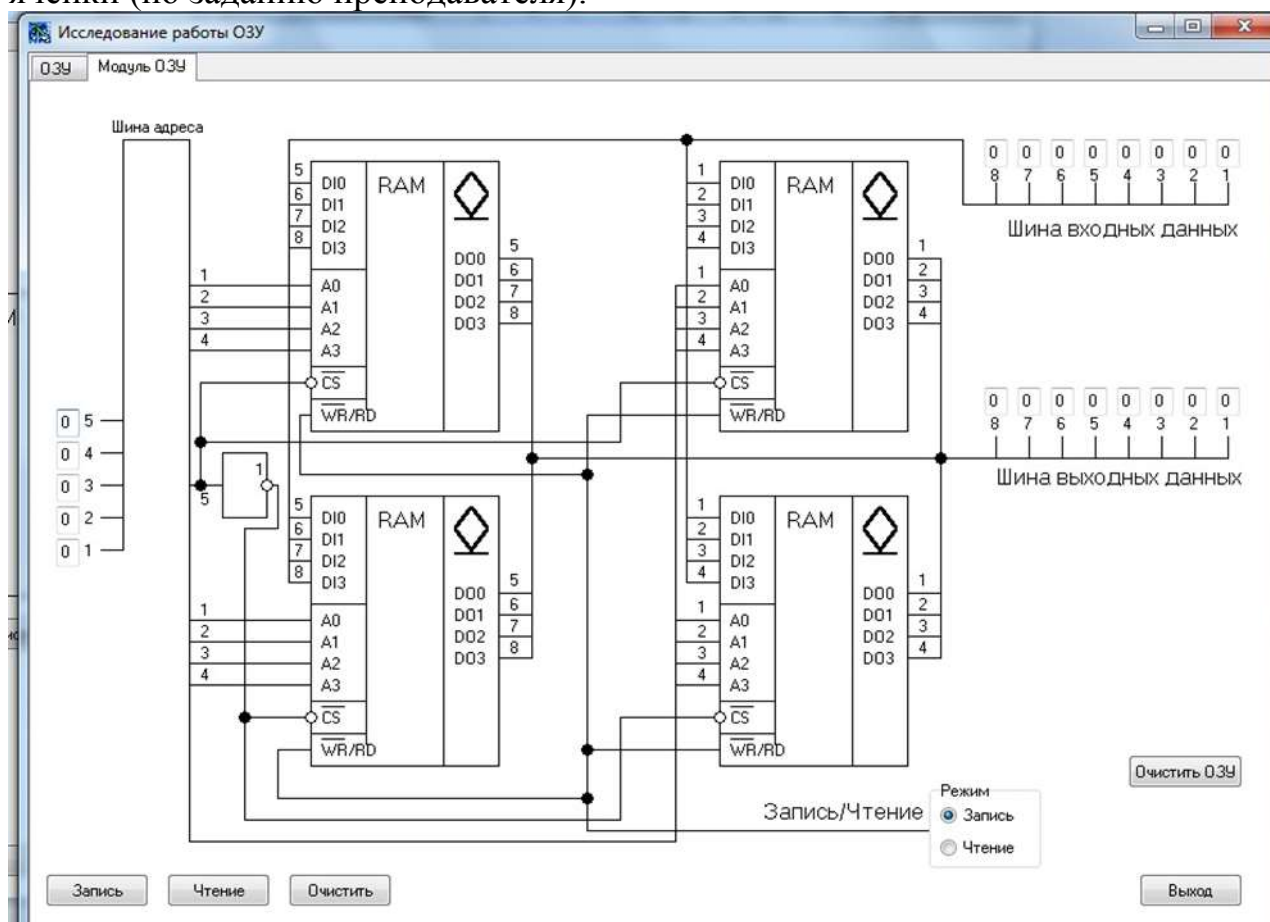
2.3. Проверить работу модуля ОЗУ в режиме чтения

Для этого модуль ОЗУ перевести в режим «Чтение». Задать адрес ячейки на входах 1–5 шины адреса, выполнить чтение информации кнопкой

«Чтение». Считывать информацию на выходах 1–8 шины выходных данных. Результаты записать в таблицу.

№	Адрес ячейки	Содержимое ячейки	Шина адреса					Шина входных данных					Шина выходных данных										
			5	4	3	2	1	8	7	6	5	4	3	2	1	8	7	6	5	4	3	2	1
1																							
2																							
3																							

2.4. На схеме модуля ОЗУ выделить активные цепи для чтения числа из ячейки (по заданию преподавателя).



3. Сделать выводы.
4. Оформить отчет.
5. Ответить на контрольные вопросы

Контрольные вопросы:

1. Основные технические данные ИС К155РУ2.
2. Функционирование ИС К155РУ2.
3. Привести функциональное обозначение ИС ЗУ.
4. Пояснить назначение выводов ИС К155РУ2.
5. Пояснить принцип наращивания разрядности ячеек ОЗУ.
6. Пояснить принцип наращивания количества ячеек ОЗУ

7. Объяснить режим считывания в ОЗУ.
8. Объяснить режим записи в ОЗУ.